

1612.63479

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re U.S. Patent Application

Applicant: Hongyong Zhang

Serial No.

Filed: December 20, 1999

For: THIN FILM TRANSISTOR HAVING
LIGHTLY AND HEAVILY DOPED
SOURCE/DRAIN REGIONS AND ITS
MANUFACTURE

Art Unit:

I hereby certify that this paper is being deposited with the United States Postal Service as Express Mail in an envelope addressed to: Asst. Comm. for Patents, Washington, D.C. 20231, on this date.

12/20/99
Date

Express Mail Label No.
EL409490449US

#2 / PRIORITY
PAPER
4-14-00
R. 12/20/99

CLAIM FOR PRIORITY

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

Applicant claims foreign priority benefits under 35 U.S.C. §119 on the basis of the foreign application identified below:

Japanese Patent Application No. 11-076801

A certified copy of the priority document is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

By

Patrick G. Burns
Registration No. 29, 367

December 20, 1999
Suite 8660 - Sears Tower
233 S. Wacker Drive
Chicago, Illinois 60606-6501
Telephone: (312) 993-0080
Facsimile: (312) 993-0633

jc564 U.S. PTO
09/468489
12/20/99

Atty. Docket: 1612.63479
Atty. Phone: (312) 993-0080

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年 3月19日

出 願 番 号
Application Number:

平成11年特許願第076801号

出 願 人
Applicant(s):

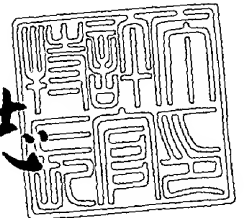
富士通株式会社

JC564 U.S. PTO
09/468489
12/20/99

1999年 7月 6日

特許庁長官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平11-3047772

【書類名】 特許願

【整理番号】 9840059

【提出日】 平成11年 3月19日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明の名称】 薄膜トランジスタおよびその製造方法

【請求項の数】 15

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 張 宏勇

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100091340

【弁理士】

【氏名又は名称】 高橋 敬四郎

【電話番号】 03-3832-8095

【手数料の表示】

【予納台帳番号】 009852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタおよびその製造方法

【特許請求の範囲】

【請求項 1】 (a) 絶縁表面層を有する基板上に複数のアイランド状の半導体層を形成する工程と、

(b) 前記半導体層のチャネル領域となる領域の外側の第 1 領域に直接または厚さ 50 nm 以下の絶縁薄膜を介してイオン注入により不純物を注入し、低不純物濃度領域を形成する工程と、

(c) 前記半導体層の前記第 1 領域の外側部分に、直接または前記絶縁薄膜を介して非質量分離イオン注入により不純物を注入し、前記低不純物濃度より高濃度のソース／ドレイン領域を形成する工程と、
を含む薄膜トランジスタの製造方法。

【請求項 2】 前記工程 (b)、(c) のイオン注入が、共に熱電子放出フィラメントを有するイオン源を用いた非質量分離イオン注入装置で行われる請求項 1 記載の薄膜トランジスタの製造方法。

【請求項 3】 前記工程 (b)、(c) のイオン注入が共に、加速エネルギー 30 keV 以下で行われる請求項 1 または 2 記載の薄膜トランジスタの製造方法。

【請求項 4】 前記工程 (c) の後、

(d) 前記低不純物濃度領域および前記ソース／ドレイン領域に直接または前記絶縁薄膜を介してレーザ光を照射し、不純物を活性化すると共にイオン注入による欠陥を回復する工程
を含む請求項 1～3 のいずれかに記載の薄膜トランジスタの製造方法。

【請求項 5】 前記工程 (b)、(c) の前に

(e) 前記半導体層を覆って絶縁層と電極層を形成する工程と、

(f) 前記電極層、前記絶縁層をパターニングし、その両側に前記半導体層の一部を露出するゲート電極とゲート絶縁膜を形成する工程と
を含み、前記工程 (b) のイオン注入は前記パターニングされたゲート絶縁膜およびゲート電極をマスクとして行われる請求項 1～4 のいずれかに記載の薄膜トランジスタの製造方法。

【請求項 6】 前記ゲート絶縁膜は 5 0 n m 以上の厚さを有し、前記ゲート電極は 2 0 0 n m 以上の厚さを有する請求項 5 記載の薄膜トランジスタの製造方法。

【請求項 7】 前記工程 (f) は、前記ゲート電極の端部が前記ゲート絶縁膜の端部より後退するようにパターニングする請求項 5 または 6 記載の薄膜トランジスタの製造方法。

【請求項 8】 前記工程 (b) 、 (c) のイオン注入が、イオン原料として不純物元素の水素化物を用い、前記半導体層のベア表面に対して、または厚さ約 5 n m 以下の自然酸化膜を介して行われ、前記ゲート絶縁膜を通過して前記半導体層に達する水素イオンが $1 0^{17} \text{ cm}^{-3}$ 以下となる条件で行われる請求項 5 ～ 7 のいずれかに記載の薄膜トランジスタの製造方法。

【請求項 9】 前記基板が透光性基板であり、前記工程 (a) の前に

(i) 前記基板上にゲート電極を形成する工程と、

(j) 前記ゲート電極を覆って、前記基板上に透光性ゲート絶縁膜を形成する工程と

を含む請求項 1 ～ 4 のいずれかに記載の薄膜トランジスタの製造方法。

【請求項 1 0】 (a) ガラス基板上に下地絶縁層を堆積する工程と、

(b) 前記下地絶縁層上にアモルファスシリコン層を堆積する工程と、

(c) 前記アモルファスシリコン層にエキシマレーザ光を照射し、アモルファスシリコン層を多結晶シリコン層に変換する工程と、

(d) 前記多結晶シリコン層をパターニングして複数のアイランド状多結晶シリコン層を得る工程と、

(e) 前記アイランド状多結晶シリコン層を覆って、前記ガラス基板上に絶縁層と導電層との積層を形成する工程と、

(f) 前記導電層上に第 1 マスクを形成する工程と、

(g) 前記第 1 マスクをマスクとして、前記導電層と前記絶縁層とをパターニングし、ゲート電極とゲート絶縁膜を形成する工程と、

(h) 前記ゲート電極と前記ゲート絶縁膜をマスクとし、前記多結晶シリコン層に不純物を低濃度にイオン注入し、低不純物濃度領域を形成する工程と、

(i) 前記ゲート電極と前記ゲート絶縁膜の側壁上に、かつ前記多結晶シリコン層の一部を覆うように第 2 マスクを形成する工程と、

(j) 前記第 2 マスクをマスクとして前記多結晶シリコン層にイオン注入を行い、前記低不純物濃度より高濃度のソース／ドレイン領域を形成する工程と、

(k) 前記第 2 マスクを除去する工程と、

(l) 前記低不純物濃度領域および前記ソース／ドレイン領域にエキシマレーザ光を照射し、不純物を活性化すると共にイオン注入による欠陥を回復する工程と

を含む薄膜トランジスタの製造方法。

【請求項 1 1】 前記工程 (h) および (j) のイオン注入は、加速エネルギー 30 keV 以下で行われる請求項 1 0 記載の薄膜トランジスタの製造方法。

【請求項 1 2】 絶縁表面層を有する基板と、

前記基板上に形成された複数のアイランド状の結晶性シリコン層と、

前記結晶性シリコン層の中央部に形成されたゲート絶縁膜と、

前記結晶性シリコン層内で、前記ゲート絶縁膜端部から外側に向かって形成された 1 対の低不純物濃度領域と、

前記結晶性シリコン層内で、前記 1 対の低不純物濃度領域の外縁からさらに外側に形成され、前記低不純物濃度より高濃度の不純物濃度を有する 1 対のソース／ドレイン領域と、

前記ゲート絶縁膜上に、かつその端部より後退した領域上に形成されたゲート電極と

を有する薄膜トランジスタ。

【請求項 1 3】 前記結晶性シリコン層の前記ゲート電極下の領域は、水素を 10^{17} cm^{-3} 以下しか含まない請求項 1 2 記載の薄膜トランジスタ。

【請求項 1 4】 前記ゲート絶縁膜は、厚さ 50 nm 以上を有し、前記ゲート電極は厚さ 200 nm 以上を有する請求項 1 2 または 1 3 記載の薄膜トランジスタ。

【請求項 1 5】 前記複数のアイランド状の結晶性シリコン層は、 n チャネルトランジスタ用領域と p チャネルトランジスタ用領域とを含み、前記低不純物濃

度領域はnチャネルトランジスタ用領域のみに形成されている請求項12～14のいずれかに記載の薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタに関し、特に絶縁表面層を有する基板上に形成された薄膜トランジスタおよびその製造方法に関する。

【0002】

【従来の技術】

液晶表示装置などに薄膜トランジスタ（TFT）が用いられている。液晶表示装置の表示部は、例えば1対の電極付きガラス基板間に液晶層を挟んで構成され、電極間に電圧を印加して液晶の光学的性質を制御することにより表示を行う。

【0003】

アクティブマトリクス型液晶表示装置においては、一方のガラス基板上に複数の本の走査線および複数の信号線を互いに交差して配置し、走査線と信号線の各交点に画素を接続する。画素は、表示部内に行列状に配置される。各画素は、1つのスイッチングトランジスタと1つの画素電極を含んで形成される。

【0004】

スイッチングトランジスタの一方の電流電極（本明細書ではドレイン電極と呼ぶ）が信号線に接続され、ゲート電極が走査線に接続され、他方の電流電極（ソース電極）が画素電極に接続される。なお、ソース電極、ドレイン電極の名称は便宜的なものであり、取り換えてもよい。

【0005】

スイッチングトランジスタは、ガラス基板上に形成した島状のシリコン層を用いて形成される。ガラス基板は、一般に耐熱温度が650℃程度であり、現在実用的に使用できる最高温度は600℃以下である。しかし、大型ガラス基板のシュリンケージを考慮し、450℃以下が望ましい。このため、ガラス基板上に直接良質な多結晶シリコン層を化学気相堆積（CVD）等により成長することは困難である。一般的には、ガラス基板上に低温で形成できるアモルファスシリコン層

を成長する。アモルファスシリコン層をパターニングすることによって島状半導体層を得ている。

【0006】

このようなアモルファスシリコン層は、キャリアの移動度が低く、アモルファスシリコン層を用いて形成したアモルファスTFTはその特性が制限される。同一ガラス基板上に液晶表示装置駆動用の周辺回路を形成しようとしても、アモルファスシリコン層を用いたTFTでは実現が困難である

近年、ガラス基板上に形成したアモルファスシリコン層にレーザ光を照射し、アモルファスシリコン層を多結晶シリコン層に変換する技術が開発された。多結晶シリコンはアモルファスシリコンと比べると、キャリアの移動度が大幅に向上する。このため、特性の向上したTFTを作成することが可能になる。周辺回路を表示部と同一のガラス基板上に形成することも可能となる。

【0007】

電流電極とゲート電極との間に印加される電圧によって、ドレイン接合近傍に高電界が発生すると、ホットキャリアが生成され、ゲート絶縁膜中に注入され、TFTの特性を劣化させることが知られている。

【0008】

ガラス基板上に表示部と共に周辺回路を形成した周辺回路一体化型液晶表示装置を作成するためには、電界緩和のため低濃度ドレイン（LDD）領域を備えたTFTを形成することが望まれる。

【0009】

また、液晶表示装置においては、大面積のガラス基板上にTFTを多数形成することが必要である。大面積のガラス基板上に高不純物濃度のソース／ドレイン領域を形成するためには、不純物ドーパ用のイオン注入装置は大電流でイオンを注入できることが望まれる。また、このイオン注入装置を用いてLDD領域を形成できることも望まれる。このようなイオン注入装置として、質量分離を行わない非質量分離型イオン注入装置が開発されている。

【0010】

図2（A），（B）は、従来技術による二種類のTFTの構造およびその製造方

法を示す。

【0011】

図2(A)においては、ガラス基板201の上に島状の多結晶シリコン層204が形成され、ゲート絶縁膜206が多結晶シリコン層204を覆ってガラス基板201上に形成されている。島状の多結晶シリコン層204の中央部分上に、ゲート電極208がゲート絶縁膜206を介して形成されている。

【0012】

ゲート電極208をマスクとし、 P^+ イオン等のn型不純物イオンを多結晶シリコン層204内に注入することにより、LDD領域214が形成されている。LDD領域214は、低いn型不純物濃度を有する。LDD領域形成後、ゲート電極208の側壁上にイオン注入用遮蔽体211が形成される。遮蔽体211は、例えば絶縁膜を基板全面上に堆積した後、異方性エッチングを行い、平坦部上の絶縁物を除去することによりゲート電極208側壁上にのみ形成される。

【0013】

遮蔽体211を形成した後、図に示すように、ゲート電極208と遮蔽体211をマスクとし、再び P^+ イオン等のn型不純物イオンを半導体層に注入することにより、遮蔽体211よりも外側の領域に高不純物濃度ソース／ドレイン領域224が形成される。

【0014】

図2(A)の構成においては、LDD領域214形成用のイオン注入と、ソース／ドレイン領域224形成用のイオン注入とはゲート絶縁膜206を貫通して行われる高加速エネルギーのイオン注入である。

【0015】

図2(B)においては、ガラス基板201上に多結晶シリコン層204が形成され、その上にゲート絶縁膜206が形成される点は図2(A)と同様であるが、ゲート絶縁膜206は多結晶シリコン層204の中央部上にのみ残るようにパターニングされ、その他の部分は除去されている。ゲート絶縁膜206の上に、その端部から後退するようにゲート電極208が形成されている。すなわち、ゲート電極208の両側には、庇状にゲート絶縁膜206が張り出している。

【0016】

このような構成に対し、ゲート絶縁膜206を通過する加速エネルギーで低不純物濃度の P^+ イオンのイオン注入が行われ、さらにゲート絶縁膜206を貫通しない低加速エネルギーのイオン注入が行われる。低加速エネルギーのイオン注入は、ゲート絶縁膜206の外側の領域に高不純物濃度のソース／ドレイン領域224を形成する。

【0017】

ゲート絶縁膜206に覆われるが、ゲート電極208には覆われていない多結晶シリコン層204の領域には、低不純物濃度のイオン注入がゲート絶縁膜206を介して行われ、低不純物濃度のLDD領域214が形成される。

【0018】

図2(B)の構成は、イオン注入の加速エネルギーを変化するのみで、一連のイオン注入により低不純物濃度のLDD領域と、高不純物濃度のソース／ドレイン領域とが形成できる利点を有する。

【0019】

図2(C)、(D)は、非質量分離型イオン注入装置に用いられる2種類のイオン源を概略的に示す。図2(C)は、RFイオン源を示す。1対の電極220、221間に例えば13.56MHzの電力が供給され、その間にプラズマ222を発生させる。

【0020】

図2(D)は、熱電子放出用フィラメントを用いたDCイオン源を示す。フィラメント226、227は、それぞれ抵抗加熱により加熱され、熱電子を放出する。フィラメント226、227から放出された熱電子により、プラズマ228が形成される。

【0021】

【発明が解決しようとする課題】

ガラス基板等の大面積基板上に形成されたTFTは、その特性が十分満足できるものではなかった。

【0022】

本発明の目的は、特性の優れた薄膜トランジスタを製造することのできる製造方法を提供することである。

【0023】

本発明の他の目的は、特性の優れた薄膜トランジスタを提供することである。

【0024】

【課題を解決するための手段】

本発明の1観点によれば、(a)絶縁表面層を有する基板上に複数のアイランド状の半導体層を形成する工程と、(b)前記半導体層のチャネル領域となる領域の外側の第1領域に直接または厚さ50nm以下の絶縁薄膜を介してイオン注入により不純物を注入し、低不純物濃度領域を形成する工程と、(c)前記半導体層の前記第1領域の外側部分に、直接または前記絶縁薄膜を介して非質量分離イオン注入により不純物を注入し、前記低不純物濃度より高濃度のソース/ドレイン領域を形成する工程と、を含む薄膜トランジスタの製造方法が提供される。

【0025】

本発明の他の観点によれば、絶縁表面層を有する基板と、前記基板上に形成された複数のアイランド状の結晶性シリコン層と、前記結晶性シリコン層の中央部に形成されたゲート絶縁膜と、前記結晶性シリコン層内で、前記ゲート絶縁膜端部から外縁に向かって形成された1対の低不純物濃度領域と、前記結晶性シリコン層内で、前記1対の低不純物濃度領域の外側からさらに外側に形成され、前記低不純物濃度より高濃度の不純物濃度を有する1対のソース/ドレイン領域と、

前記ゲート絶縁膜上に、かつその端部より後退した領域上に形成されたゲート電極とを有する薄膜トランジスタが提供される。

【0026】

【発明の実施の形態】

本発明者は、図2(A)，(B)に示すような多結晶シリコンTFETの特性がなぜ十分改善されないのかを考察した。ゲート絶縁膜を通過して多結晶シリコン層に不純物イオンを注入するためには、不純物イオンを高電圧で加速する必要がある。

【0027】

高エネルギーイオンがゲート絶縁膜を通過する際には、ゲート絶縁膜に種々の欠陥が発生する。同様、多結晶シリコン層内にも種々の欠陥が発生する。ガラス基板上の T F T の場合、基板を高温に加熱して欠陥を回復させることはできない。

【 0 0 2 8 】

さらに、非質量分離型イオン注入においては、種々のイオン種が注入される。不純物源として水素化物を用いる場合、水素イオンが発生し、対象とする半導体層などに注入されることになる。水素イオンは、イオン半径が小さく、他のイオンよりも深く注入されるであろう。

【 0 0 2 9 】

図 3 は、図 2 (A) 、 (B) の構成において、A - A ' 線に沿う断面における P 分布と、B - B ' 線に沿う断面における H 分布とを示す。横軸は表面からの距離を示し、縦軸は不純物濃度を示す。

【 0 0 3 0 】

A - A ' 断面において、不純物として注入した P は、多結晶シリコン層を覆うゲート絶縁膜 2 0 6 中で最大値を示し、多結晶シリコン層内で所望の濃度を示した後、さらにガラス基板内にも若干分布している。

【 0 0 3 1 】

ゲート電極を含む B - B ' 線に沿う断面における H 分布は、A 1 で形成されたゲート電極を通過し、その下のゲート絶縁膜、多結晶シリコン層、さらにその下のガラス基板まで広く分布している。

【 0 0 3 2 】

水素イオンの注入深さと加速電圧との関係を以下に示す。

【 0 0 3 3 】

【表 1】

水素イオンの注入ピーク深さと加速電圧の関係

加速電圧	H ⁺ イオン	H ₂ ⁺ イオン
10KV	120nm	60nm
30KV	280nm	140nm
60KV	500nm	250nm
80KV	640nm	320nm

【0034】

H⁺イオンの注入深さは、H₂⁺イオンの注入深さの約2倍である。このため、チャンネル領域（ゲート電極下のSi層）に影響を与えるのが主にH⁺イオンであり、LDD領域（SiO₂膜下のSi層）に影響を与えるのが主にH₂⁺イオンである。

【0035】

例えば、ゲート絶縁膜厚120nm、ゲート電極膜厚300nm、活性層Si膜厚50nmの場合、加速電圧が50～60kVを超えると、H⁺イオンが確実にゲート電極とゲート絶縁膜を貫通し、SiO₂/Si界面及びチャンネル領域に侵入する（B-B'断面）。従って、従来技術のLDD領域への高加速電圧ドーピング（50～60kV以上）では、H⁺イオンがSiO₂/Si界面及びSiバルクにイオンダメージを与える。

【0036】

ゲート電極両側に張り出したゲート絶縁膜においては、多量のP⁺イオンの衝撃を受け、多数の欠陥が発生する。また、ゲート絶縁膜と多結晶シリコン層との界面には多数のトラップセンターが発生する。通常、ゲート絶縁膜のイオン衝撃による損傷を回復するためには、500～600℃以上の熱処理が必要とされる。

【0037】

しかし、Al等のメタルゲート電極を用いている場合、加熱できる最高温度は450℃程度である場合が多く、ゲート絶縁膜中の欠陥を完全に回復することは困難となる。ゲート絶縁膜中にイオン損傷が存在する場合、TFTの電氣的性能

および信頼性が損なわれる。

【 0 0 3 8 】

イオン注入による欠陥を回復し、注入された不純物を活性化させるために、レーザアニールが開発されている。レーザアニールによれば、ガラス基板の温度を過度に上昇させることなく、その上に形成された多結晶シリコン層等のアニール対象物をアニールし、欠陥を回復させることができる。

【 0 0 3 9 】

レーザアニール用のレーザとしては、波長 3 0 8 n m の X e C l レーザ、波長 2 4 8 n m の K r F レーザ等が用いられる。

【 0 0 4 0 】

ゲート絶縁膜を透過してその下の半導体層をレーザアニールによってアニールしようとする、ゲート絶縁膜中でレーザ光が大幅に吸収され、半導体層に到達するレーザ光の強度は小さくなってしまう。露出しているソース／ドレイン領域の半導体層と、ゲート絶縁膜に覆われている L D D 領域の半導体層とを同一の条件でレーザアニールすることは困難である。

【 0 0 4 1 】

また、ゲート電極下の多結晶シリコン層内に H が注入されると、一旦注入された H は、その後の処理によっては外部に抜き出すことが困難となる。多結晶シリコン層中に過剰な H が存在し、その後の層間絶縁膜形成時などに外部から O や H O が侵入すると、半導体層内に H₂O が形成され得る。H₂O は、電界印加などによって容易に分極し、半導体装置の特性を変化させる原因となる。

【 0 0 4 2 】

また、図 2 (B) に示すように、ゲート絶縁膜が多結晶シリコン層の表面上で端部を形成している場合、レーザアニールを行うと、ゲート絶縁膜側面に粒状の凹凸などが形成され、半導体装置の特性に悪影響を及ぼすことがある。

【 0 0 4 3 】

これらの問題を解決するため、本願発明者は、ゲート電極を透過してその下の半導体層内に H イオンが侵入しない加速電圧でイオン注入を行うこと、L D D 領域とソース／ドレイン領域とを同一条件でレーザアニールできるように L D D 領

域上にはゲート絶縁膜を形成しないことを提案する。

【0044】

図1は、本発明の基本実施例による薄膜トランジスタの構成およびその特性を示す。図1(A)は、薄膜トランジスタの製造工程における基板の断面図を示し、図1(B)は、A-A'線に沿う断面におけるP分布、B-B'線に沿う断面におけるH分布、C-C'線に沿う断面におけるP分布を示すグラフであり、図1(C)は、形成された薄膜トランジスタの特性を示すグラフである。

【0045】

図1(A)において、ガラス基板等の絶縁表面層を有する基板1の上に、多結晶シリコン層4が島状に形成されている。多結晶シリコン層4の中央部上には、厚さ50nm以上、より好ましくは厚さ80nm以上の SiO_2 膜等で形成されたゲート絶縁膜6が形成されている。ゲート絶縁膜6の上に、例えば厚さ200nm以上の金属層または厚さ500nm以上のSi層で形成されたゲート電極8が形成されている。

【0046】

基板表面に垂直な方向に、ゲート電極8を投射した領域に、チャネル領域4cが画定される。ゲート電極8に覆われず、ゲート絶縁膜6に覆われた領域に、オフセット領域4fが画定される。ゲート絶縁膜よりも外側の領域に意図的に不純物がドーピングされる。

【0047】

ゲート電極8、ゲート絶縁膜6をマスクとし、低加速エネルギー、例えば30keV、より好ましくは約10keV程度以下のイオン注入を低ドーズ量で行い、ゲート絶縁膜6の両側にLDD領域14を形成する。

【0048】

さらに、所望のLDD領域を覆うレジストマスクなどを形成し、低加速エネルギー、高ドーズ量のイオン注入を行い、高不純物濃度のソース／ドレイン領域24を形成する。この高ドーズ量のイオン注入も、好ましくは30keV以下、より好ましくは約10keV程度以下の低加速エネルギーで行う。

【0049】

高／低濃度ドーピングの加速電圧を 30 kV 以下にすれば、 H^+ イオンのチャンネル領域への侵入を防止することができる（B-B' 断面）。さらに、加速電圧を 10 kV 以下に下げれば、 H^+ イオンのチャンネル領域への侵入と、 H_2^+ イオン（または H^+ イオン）の LDD 領域への侵入を同時に防止することができる（C-C' 断面）。従って、高／低濃度の加速電圧を 10 kV 以下に設定することが望ましい。

【0050】

イオン注入を行う際、イオン注入すべき領域はベア状態で露出されているため、低加速エネルギーでも対象とする領域に十分な量の不純物イオンを注入することができる。なお、イオン注入装置の性能上の問題から、イオン注入の加速エネルギーは 1 KeV 以上とすることが好ましい。

【0051】

イオン注入は低加速エネルギーで行われるため、ゲート電極およびゲート絶縁膜を通過して、チャンネル層 4 c に H イオンなどが注入されることを防止できる。チャンネル領域内の H 濃度は、好ましくは 10^{17} cm^{-3} 以下に選択される。ソース／ドレイン領域のイオン注入後、マスクは除去する。

【0052】

図 1（B）は、図 1（A）における A-A' 線に沿う断面における P 分布、B-B' 線に沿う断面における H 分布を示す。横軸は表面からの距離を示し、縦軸は不純物濃度を示す。

【0053】

曲線 P（A-A'）が示すように、LDD 領域においては、多結晶シリコン層内で P 分布はピークを形成し、基板 1 内に入るに従い P 分布は急激に減少する。C-C' 線に沿う断面でも P の分布は P（A-A'）とほぼ同様であり、ゲート絶縁膜で覆われた領域では P 分布はゲート絶縁膜内で減少し、多結晶シリコン層内にはほとんど入らない。

【0054】

ゲート電極の存在する領域においては、A1 ゲート電極内では H 分布がかなり高濃度に存在するが、その下のゲート絶縁膜においては H 濃度は非常に小さなも

のとなっている。ゲート絶縁膜下のチャネル領域においては、Hの注入はほとんど認められない。

【0055】

イオン注入後、ゲート絶縁膜端部から露出しているイオン注入領域、すなわちLDD領域14、ソース/ドレイン領域24に対し、レーザアニールを行う。両領域ともペアで露出しているため、同一のアニール条件で両領域に良好なアニールを行うことができ、良好な多結晶性を回復することができる。また、直接多結晶シリコン層にレーザ光を照射するため、レーザ光の利用効率も高い。

【0056】

図1(C)は、形成された薄膜トランジスタのゲート電圧対ドレイン電流の特性を示す。順方向ゲート電圧に対してドレイン電流は急峻に立ち上がり、良好な飽和特性を示している。逆極性のゲート電圧に対し、リーク電流となる I_{off} は、1pA以下の低い値となる。従来技術によるTFTにおいては、逆極性ゲート電圧に対し、かなり大きなリーク電流が存在した。

【0057】

このように、図1(A)に示すTFTによれば、リーク電流を低減することが可能となる。また、チャネル領域にHが注入されないため、経時的特性変化が抑制され、信頼性の高いTFTを得ることができる。

【0058】

以下、より具体的な液晶表示装置の実施例を説明する。

【0059】

図4は、液晶表示装置の等価回路図およびパネルの平面構成を示す。図4(A)は、アクティブマトリクス型液晶表示装置の等価回路を概略的に示す。

【0060】

図4(A)において、横方向に複数の走査線GLが配置され、縦方向に複数の信号線DLが配置されている。走査線GLと信号線DLの各交点に画素PXが接続される。画素PXは、スイッチング素子であるTFTと、液晶セルLCと、蓄積容量 C_s とを含む。液晶セルは、コモン電極基板上的コモン電極と、TFT基板上的画素電極と両電極間の液晶層とを含む。

【0061】

画素電極は、液晶セルLCの一方の電極を構成すると共に、蓄積容量 C_S の一方の電極を構成する。蓄積容量 C_S の他方の電極は、絶縁層を介して画素電極と同一基板上に形成される。液晶セルLCの他方の電極であるコモン電極は、TFT基板に対向する基板上に形成され、例えば基板全面に延在する透明電極である。液晶セルLCのコモン電極と、蓄積容量 C_S の他方の電極は、共にコモン電位 V_c に接続されている。

【0062】

走査線GLは、走査線ドライバGCによって駆動される。信号線DLは、信号線ドライバDCによって駆動される。1本の走査線GLにより活性化された1行の画素PXに対し、信号線ドライバDCは画像情報を供給する。

【0063】

図4(B)は、液晶表示パネルの平面構成を概略的に示す。TFT基板20とコモン電極基板21とは対向して配置され、その間に液晶層を挟持する。TFT基板20上には、中央部に表示領域を構成する画素群が形成され、その周辺に周辺回路が形成される。図示の構成においては、表示部上方に信号線ドライバなどの駆動回路27が形成され、表示部両側に走査線ドライバ等の周辺回路28a、28bが形成されている。周辺回路の外側に、両基板間をシールし、液晶収容空間を画定するシール16が配置されている。

【0064】

トランスファ30は、上下基板間の電氣的接続を確立する。中央の表示部26には、例えば透過型や反射型の液晶表示装置が形成される。例えば、HDTV型の場合、 1920×1080 画素が形成される。コモン電極基板21は、TFT基板20よりも小さく、一辺においてTFT基板20が露出される。この露出部分に引き出し端子23が形成される。

【0065】

周辺回路27、28a、28bは、多結晶シリコンを用いたTFTにより形成される。これらのTFTに光が入射するのを防止するため、周辺回路上方を覆うように遮光体15を設けることが好ましい。遮光体15は、コモン電極基板21

の内側表面または外側表面上に形成することが好ましい。コモン電極基板 21 の内側表面状に遮光体 15 を形成する場合、周辺回路の T F T との浮遊容量を減少させるためには、遮光体 15 を絶縁体で形成することが好ましい。たとえば、少なくとも信号線ドライバの上方の遮光体 15 は絶縁体で形成する。

【0066】

表示部においては、各画素に 1 つの T F T が形成される。この T F T は、例えば n チャネル T F T でよい。周辺回路は、C M O S 回路とすることが好ましい。C M O S 回路を実現するためには、n チャネル T F T および p チャネル T F T を形成する必要がある。

【0067】

以下、n チャネル T F T と p チャネル T F T を形成する製造方法を説明する。

【0068】

図 5 (A) ~ (D)、図 6 (E) ~ (G) は、本発明の実施例による C M O S 型 T F T の製造工程を示す。

【0069】

図 5 (A) に示すように、ガラス基板 101 上に、下地 SiO_2 膜 102 を厚さ 100 ~ 500 nm、望ましくは厚さ約 200 nm プラズマ励起 (P E) C V D により成膜し、その上にさらにアモルファスシリコン層 104 を厚さ 30 ~ 100 nm、好ましくは厚さ約 40 nm P E C V D により成膜する。アモルファスシリコン層 104 は、5 % 未満の水素濃度しか有さない低水素含有量膜とすることが望ましい。

【0070】

必要に応じ、成膜したアモルファスシリコン膜 104 を 450℃ に加熱し、1 時間程度の水素出しを行う。その後、X e C l、K r F などのエキシマレーザをアモルファスシリコン層 104 上で走査し、結晶化処理を行う。波長 308 nm の X e C l レーザを用いた場合、エネルギー密度は 300 ~ 450 m J / c m² とし、線状ビームにより走査を行うことが望ましい。

【0071】

アモルファスシリコン層は、好ましくは平均グレインサイズ 10 nm 以上の多

結晶シリコン層に変換される。なお、多結晶まで変換せず、平均グレインサイズ 10 nm 未満の微結晶に変換しても良い。周辺回路部分を多結晶、表示部を微結晶としてもよい。本明細書では微結晶と多結晶とを合わせて「結晶性」と呼ぶ。

【0072】

アモルファスシリコン層を多結晶シリコン層 104 に変換した後、厚さ 50 nm 以上、例えば厚さ 120 nm の SiO_2 層で形成されたゲート絶縁膜 106 を PECVD により成膜する。ゲート絶縁膜 106 の上に、Al 合金 (AlNd、AlSe 等) などのゲート電極層を厚さ 300 ~ 500 nm、望ましくは厚さ 300 ~ 350 nm スパッタリングにより成膜する。

【0073】

ゲート電極層の上にレジストパターン 110 を形成し、ゲート電極層をウェットエッチングまたは等方性ドライエッチングでエッチングし、ゲート電極 108 を残す。ウェットエッチングは、例えば硝酸、酢酸、リン酸の混合液である混酸エッチャントを用いて行なう。等方的なエッチングにより、ゲート電極 108 の側壁は、レジストマスク 110 の側壁よりも内側に後退した形状となる。この後退量は、100 ~ 400 nm、好ましくは約 200 nm 程度に選択する。

【0074】

図 5 (B) に示すように、同一のレジストマスク 110 をマスクとし、さらにゲート絶縁膜 106 を異方的にエッチングする。例えば、エッチングガスとして CHF_3 を用いた反応性イオンエッチング (RIE) によりゲート絶縁膜 106 をエッチングする。

【0075】

レジストマスク 110 がゲート電極 108 よりも外側に張り出しているため、ゲート絶縁膜 105 はゲート電極 108 端部から例えば幅約 200 nm 程度張り出した形状となる。ゲート絶縁膜 106 のエッチング後、レジストマスク 110 は除去する。

【0076】

図 5 (C) に示すように、p チャネル TFT 領域をレジストマスク 112 で覆い、低加速エネルギー、低ドーズ量の P^+ イオン 113 のドーピングを行う。例えば

、 P^+ イオン 113 を加速エネルギー $10 \sim 30 \text{ keV}$ 、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。このようにして、ゲート絶縁膜 106 両側の領域に、LDD 領域 114 が形成される。その後レジストマスク 112 は除去する。

【0077】

図 5 (D) に示すように、新たにレジストマスク 116 を形成し、p チャンネル TFT を覆うと共に、n チャンネル TFT の必要な LDD 領域 114 n を覆う。この状態で、レジストマスク 116 外部に露出した多結晶シリコン層 104 に対し、低加速エネルギー、高ドーズ量の P^+ イオン 117 のドーピングを行う。例えば、加速エネルギー $10 \sim 30 \text{ keV}$ 、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ のイオン注入を行う。イオン注入後、レジストマスク 116 は除去する。

【0078】

P^+ イオン 117 は、露出した多結晶シリコン層 104 に高濃度にドーピングされ、高不純物濃度のソース／ドレイン領域 124 n を形成する。この高ドーズ量のイオン注入を効率よく行うためには、非質量分離型イオン注入装置を用いることが好ましい。

【0079】

図 5 (C) に示す低ドーズ量のイオン注入は、非質量分離型イオン注入装置の内、熱電子を放出するフィラメントを用いたいわゆる DC 型イオン源を用いたイオン注入装置で行うことが望ましい。RF 型イオン源を用いた非質量分離型イオン注入装置は、低ドーズ量の制御が困難である。図 5 (C)、図 5 (D) のイオン注入を単一のイオン注入装置を用いて実行するためには、DC 型イオン源を用いた非質量分離型イオン注入装置を用いることが望ましい。

【0080】

図 6 (E) に示すように、n チャンネル TFT を覆うレジストマスク 120 を形成し、p チャンネル TFT に対し LDD 領域 114 p を形成するための低加速エネルギー、低ドーズ量の B^+ イオン 122 のドーピングを行う。例えば、 B^+ イオン 122 を $10 \sim 30 \text{ keV}$ の加速エネルギーで加速し、 $5 \times 10^{12} \text{ cm}^{-2}$ 程度のドーズ量でイオン注入を行い、LDD 領域 114 p を形成する。その後レジストマスク 120 は除去する。

【0081】

図6(F)に示すように、nチャネルTFTおよびpチャネルTFTのLDD領域114pの一部を覆うレジストマスク126を形成し、低加速エネルギー、高ドーズ量の B^+ イオン128のドーピングを行う。例えば、 B^+ イオン128を加速エネルギー10～30keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ でドーピングする。

【0082】

レジストマスク126外部に露出された多結晶シリコン層104に高濃度の B^+ イオンが注入され、高不純物濃度のソース/ドレイン領域124pが形成される。ソース/ドレイン領域124pの内側にはLDD領域114pが残る。その後レジストマスク126は除去する。

【0083】

図6(E)、(F)に示すイオン注入も、上述のように非質量分離型イオン注入装置を用いて行われる。さらに、低ドーズ量のイオン注入を制御性よく行うためには、熱電子放出型フィラメントを有するイオン源を用いることが好ましい。以下、LDD領域のそれぞれ又は全体を114で指し、ソース/ドレイン領域のそれぞれ又は全体を124で指す場合がある。

【0084】

図6(G)は、イオン注入工程を終了したTFTの構成を示す。イオン注入により、LDD領域114およびソース/ドレイン領域124は、欠陥が生じている。また、イオン注入した不純物は未だ活性化されていない。この構成に対し、上部からXeCl等のレーザ光130を照射し、レーザアニールを行う。LDD領域114およびソース/ドレイン領域124が共に露出されているため、効率よくレーザ光を吸収させることができる。

【0085】

イオン注入を低加速エネルギーで行うため、ゲート電極に覆われたチャネル領域104cにはHをほとんど注入せずにイオン注入工程を行うことができる。また、チャネル領域104cとLDD領域114との間には、ゲート電極外部に張り出したゲート絶縁膜106に対応するオフセット領域104fが形成され、電界緩和に有効な作用を果たす。

【0086】

LDD領域は、容易に空乏化し、ゲート電極とソース／ドレイン領域との間に高電圧が印加された場合の電界緩和に有効に作用する。イオン注入により生じた欠陥が効率的に回復されるため、特性の優れたTFTを得ることができる。また、チャンネル領域にHが注入されることを防止できるため、特性の経時的変化を低減することができる。

【0087】

図7は、図5、図6を参照して説明した製造工程、またはその変形工程を用いることにより、製造することのできるTFTを有する画素部の平面構成を示す。

【0088】

図7(A)においては、信号線DLが縦方向に形成され、その一部が横方向に張り出し、TFTとの接続部分を構成する。信号線DLの張り出し部分上に一部重ねて、半導体層104が形成されている。半導体層104は、中央部にストライプ状領域を有し、その両端に幅広の領域を有する。半導体層のストライプ状領域中央部上には、ゲート電極108を兼用する走査線GLがゲート絶縁膜を介して配置されている。

【0089】

ゲート電極108の下にはチャンネル領域が画定される。チャンネル領域の両側にオフセット領域104fが形成される。オフセット領域104fを覆うゲート絶縁膜は図示を省略している。オフセット領域104fの両外側には、LDD領域114が形成され、さらにその外側には、幅広部分を含むソース／ドレイン領域124が形成されている。

【0090】

以上の積層構造を含む基板表面上に層間絶縁膜が形成され、コンタクト孔CHが信号線DLと接続されていない方のソース／ドレイン領域に達するように形成される。この構成は、ゲート電極108と走査線GLを同一領域で兼用し、構成が簡単である。

【0091】

図7(B)においては、走査線GLから垂直下方にゲート電極108が突出し、

半導体層は図中横方法に延在する形状に形成されている。半導体層の一端は信号線DLに重ねて配置され、電氣的に接続されている。ゲート電極108と半導体層104との関係は、図7(A)と同様である。なお、図示の構成において、ストライプ状領域におけるソース／ドレイン領域のストライプ方向の幅が左右で異なっているが、同一幅としてもよい。

【0092】

図7(C)、(D)は、ダブルゲート型TFTの構成を示す。図7(C)においては、図7(A)に示すシングルゲート型TFTのストライプ状領域を引き伸ばし、逆U字型に折り曲げてゲート電極108下を2回通過させている。半導体層のストライプ状領域がゲート電極108と交差する部分においては、図7(A)同様のオフセット領域104f、LDD領域114がそれぞれ形成されている。また、両LDD領域間には高不純物濃度の領域124aが形成され、TFTのオン抵抗を低減させている。

【0093】

図7(D)においては、走査線GLから2本のゲート電極108が垂直下方に延在し、そのそれぞれの両側にオフセット領域104f、LDD領域114を形成している。この場合、両ゲート電極108間の距離を調整することにより、その間のLDD領域114を共通とすることができる。その他の点は、図7(B)に示すシングルゲートTFTと同様である。

【0094】

なお、ダブルゲート型TFTを形成する場合は、上述の製造プロセスにおいて、作成すべきTFTの形状に合わせた多結晶シリコン層を形成し、その上に形成するゲート電極のパターン、および低加速エネルギー、高ドーズ量のイオン注入を行うときのレジストマスクのパターンを調整すればよい。

【0095】

nチャネルTFTは、ゲートドレイン間に高電圧が印加されたとき、ホットキャリアによる特性劣化を生じる可能性がある。ホットキャリアによる特性劣化を防止するためには、LDD領域を形成することが好ましい。しかしながら、pチャネルTFTにおいては、ホットキャリアによる特性劣化は少ない。

【0096】

従って、LDD構造はnチャネルTFTのみに設け、pチャネルTFTには設けないこともできる。このような構成とすれば、製造プロセスが簡略化でき、製造期間の短縮化ができる。さらに、反転ドーピングを利用すれば、マスク枚数をさらに低減することができる。

【0097】

図8(A)～(D)は、nチャネルTFTにのみLDD領域を形成する製造プロセスを説明するための断面図である。

【0098】

図8(A)は、図5(A)、(B)に示す工程の後、レジストマスクを除去した基板を示す。この状態で、 P^+ イオン113を低加速エネルギー、例えば10～30keV、低ドーズ量、例えば $5 \times 10^{12} \text{ cm}^{-2}$ でイオン注入し、nチャネルTFTおよびpチャネルTFT共通にn型LDD領域114nを形成する。このイオン注入において、マスクを用いないためpチャネルTFTにもn型不純物が注入されるが、後の工程において反転ドーピングを行い、n型領域をp型に反転させる。

【0099】

図8(B)に示すように、pチャネルTFTおよびnチャネルTFTの形成すべきLDD領域114を覆うレジストマスク116を形成し、 P^+ イオン117を低加速エネルギー、高ドーズ量でドーピングする。例えば、加速エネルギー10～30keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ のイオン注入を行う。nチャネルTFTの両外側領域に n^+ 型ソース／ドレイン領域124が形成され、その内側に n^- 型の他のLDD領域114が残る。その後、レジストマスク116は除去する。

【0100】

図8(C)に示すように、nチャネルTFTを覆うレジストマスク127を形成する。このレジストマスクをマスクとして低加速エネルギー、高ドーズ量で B^+ イオン128をドーピングする。例えば、加速エネルギー10～30keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ のイオン注入を行なう。この高ドーズ量のイオン注入により、n型領域であったpチャネルTFTの領域が、 p^+ 型ソース／ドレイン領域12

4 p に反転される。その後レジストマスク 127 は除去する。

【0101】

図 8 (D) に示すように、n チャンネル T F T は半導体層 104 内にチャンネル領域 104 c、オフセット領域 104 f、L D D 領域 114 n および高不純物濃度のソース／ドレイン領域 124 n を有する。p チャンネル T F T は、チャンネル領域 104 c の両側にオフセット領域 104 f を有し、その外側には直接高不純物濃度のソース／ドレイン領域 124 p を有する。

このようなイオン注入領域に対し、例えば X e C l などのレーザ光 130 を照射し、イオン注入された不純物を活性化し、イオン注入により生じた欠陥を回復するレーザアニールを行う。イオン注入領域は、すべてベアで露出しているため、レーザ光を効率よくかつ均等に吸収することでき、良好なレーザアニールを短時間に実施することができる。

【0102】

なお、以上の実施例においては、L D D 領域を遮蔽するマスクを形成するために、ホトリソグラフィを用いてレジストマスクを形成した。ホトリソグラフィを用いずにイオン注入に対するマスクを形成することも可能である。

【0103】

図 9 (A) ～ (D) は、本発明の他の実施例による T F T の製造プロセスを示す。

【0104】

図 9 (A) は、L D D 領域形成用の低加速エネルギー、低ドーズ量の P⁺ イオンのドーピング工程を示す。P⁺ イオン 113 は、例えば加速エネルギー 10 ～ 30 k e V、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ でイオン注入され、L D D 領域 114 を形成する。

【0105】

図 9 (B) に示すように、低加速エネルギー、低ドーズ量のイオン注入を行った後、基板表面上に例えばポリイミドの絶縁膜 131 を形成し、異方性エッチングによりゲート電極およびゲート絶縁膜側壁上にのみサイドウォールスペーサ 131 を残す。サイドウォールスペーサ 131 の厚さを選択することにより、所望の

厚さのLDD領域を遮蔽することができる。

【0106】

図9 (C) に示すように、サイドウォールスペーサ131を形成した基板に対し、 P^+ イオン117の低加速エネルギー、高ドーズ量のイオン注入を行う。例えば、加速エネルギー10～30keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ のイオン注入を行い、LDD領域114nの外側に高不純物濃度のソース/ドレイン領域124nを形成する。

【0107】

図9 (D) に示すように、 O_2 アッシングでサイドウォールスペーサ130を除去し、XeClレーザ等のレーザ光130によりイオン注入領域のレーザアニールを行う。レーザアニールによりイオン注入された不純物が活性化され、イオン注入による損傷が回復される。

【0108】

本製造プロセスによれば、サイドウォールスペーサを利用することにより、マスク枚数をさらに1枚低減することが可能となる。なお、pチャネルTFTを遮蔽するためにマスクを用いる場合にも、pチャネルTFTを遮蔽するマスクは低精度で良く、高精度のホトリソグラフィが不要となる。

【0109】

上述の実施例においては、ゲート絶縁膜は単層の SiO_2 膜で形成され、イオン注入を行うLDD領域およびソース/ドレイン領域はベア状態で露出していた。ゲート絶縁膜を複数層の積層構造とすることもできる。また、イオン注入を行うLDD領域、ソース/ドレイン領域の表面を自然の酸化膜等の薄い絶縁膜で覆っても良い。

【0110】

図10 (A) ～ (C) は、本発明の他の実施例によるTFTの製造プロセスを示す。

【0111】

図10 (A) に示すように、ガラス基板101表面上に下地 SiO_2 膜102を形成し、その上に多結晶シリコン層104を島状に形成する。多結晶シリコン層

104を覆うように、下層 SiO_2 膜106aと上層 SiN_x 膜106bの積層からなるゲート絶縁膜を形成する。ゲート絶縁膜の上に、ゲート電極層108を形成し、その上にレジストパターンを形成して上述の各実施例同様のエッチングを行う。

【0112】

このエッチングにおいて、ゲート電極108のエッチングに続き、上層 SiN_x 層106bのエッチングを行い、下層 SiO_2 膜106aはエッチングストップとしてそのまま残す。下層 SiO_2 膜106aは、厚さを30nm程度以下にし、この下層 SiO_2 膜106aを透過してイオン注入を行う場合にも、イオンの加速電圧を30kV以下にすることを可能にする。

【0113】

P^+ イオン113を、加速電圧30kVで下層 SiO_2 膜106aを通過して半導体層104にイオン注入する。ドーズ量は、例えば $5 \times 10^{12} \text{ cm}^{-2}$ である。

【0114】

図10(B)に示すように、ゲート電極108およびその下の上層 SiN_x 層106bの側壁上に、サイドウォールスペーサ131をポリイミド等により形成する。サイドウォールスペーサ131およびゲート電極108をマスクとし、低加速エネルギー、高ドーズ量の P^+ イオン117のドーピングを行う。例えば P^+ イオン117を加速エネルギー30keV以下、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ でドーピングする。

【0115】

このイオン注入により、サイドウォールスペーサ131外側の半導体層104に、高不純物濃度のソース／ドレイン領域124が形成される。サイドウォールスペーサ131の下にはLDD領域114が残る。その後、 O_2 アッシングでサイドウォールスペーサ131を除去する。

【0116】

図10(C)に示すように、ゲート電極108の下にゲート電極からわずかに張り出したゲート絶縁膜106bおよび半導体層全面を覆うゲート絶縁膜106aを備えたTFT構造が形成される。この状態で、XeClレーザ等のレーザ光

103によりイオン注入領域のレーザアニールを行う。レーザ光130は、薄い SiO_2 膜106aを通過して半導体層104を照射し、不純物の活性化およびイオン注入による欠陥の回復を行なう。

【0117】

イオン注入領域は、均一な厚さの薄い SiO_2 で覆われているのみであり、レーザ光の損失を低く抑えることができる。また、下層 SiO_2 膜106aは均一な厚さを有するため、LDD領域114とソース／ドレイン領域124に対しレーザアニール条件を均等に選択することを可能とする。

【0118】

上述の実施例においては、イオン注入工程においてゲート電極108はその上表面が露出していた。ゲート電極上に他の配線を形成する場合、層間絶縁膜を形成する必要があった。ゲート電極上に予め絶縁膜を形成し、その上に直接他の配線を形成することもできる。

【0119】

図11(A)～(C)および図12(D)～(F)は、本発明の他の実施例によるTFTの製造プロセスを示す。

【0120】

図11(A)に示すように、ガラス基板101上に下地 SiO_2 層102を形成し、その上に多結晶シリコン層104を島状に形成する。多結晶シリコン層104を覆って、ゲート絶縁膜106を形成し、その上にAl等で形成されたゲート電極108を形成する。この状態で、ゲート電極108の表面を陽極酸化し、アルミナ層109を成長させる。

【0121】

陽極酸化は、中性電解液を利用したバリアタイプのアルミナ層を形成する陽極酸化とすることが好ましい。例えば、電解液としてエチレングリコール、アンモニア、弱酸の混合液を用い、80V～200Vの電圧を印加し、定電圧領域で厚さ制御を行うことができる。このようなアルミナ層は、膜厚0.1～0.3 μm の範囲に制御することができる。

【0122】

図 11 (B) に示すように、ゲート電極 108 とその表面上に形成されたアルミナ膜 109 をマスクとし、その下のゲート絶縁膜 106 のパターニングを行う。例えば、 CHF_3 をエッチングガスとした RIE によりゲート絶縁膜 106 を異方的にエッチングする。アルミナ膜 109 が、オフセット領域を画定することになる。

【0123】

図 11 (C) に示すように、アルミナ膜 109 で覆われたゲート電極 108 をマスクとし、低加速エネルギー、低ドーズ量の P^+ イオン 113 のドーピングを行う。例えば、 P^+ イオン 113 を加速エネルギー 10～30 keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ でイオン注入し、LDD 領域 114 を形成する。

【0124】

図 12 (D) に示すように、p チャネル TFT および n チャネル TFT の形成すべき LDD 領域を覆うレジストマスク 116 を形成し、低加速エネルギー、高ドーズ量の P^+ イオン 117 のドーピングを行う。この工程は、図 5 (D) に示す工程と同様の工程である。

【0125】

図 12 (E) に示すように、n チャネル TFT を覆うレジストマスク 127 を形成し、低加速エネルギー、高ドーズ量の B^+ イオン 128 の反転ドーピングを行う。例えば、 B^+ イオン 128 を加速エネルギー 10～30 keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ でドーピングし、 n^- 型領域であった領域を p^+ 型領域に変換する。この工程は、図 8 (C) の工程と同様である。その後レジストマスク 127 は除去する。

【0126】

図 12 (F) に示すように、XeCl レーザ等のレーザ光 130 をイオン注入領域に照射し、不純物の活性化とイオン注入による欠陥の回復を行う。このレーザアニール工程は前述の実施例の活性化レーザアニール工程と同様である。

【0127】

このようにして形成された TFT 構造は、ゲート電極 108 (走査線 GL) の表面がアルミナ層 109 で覆われており、その上に直接他の配線を形成しても短絡

が防止される。半導体層 104 の存在する領域では、半導体層と他の配線が接触してしまうが、半導体層 104 が存在しない配線領域においては、絶縁されたゲート電極のみが走査線として配置される。従って、その上に他の配線を直接形成することができる。

【0128】

図 13 (A)～(C) は、ダブルゲート T F T の変形構成例を示す。図 13 (A) は断面図であり、図 13 (B)、(C) は 2 種類の平面構成例を示す。

【0129】

図 13 (A) に示すように、ガラス基板 101 上に下地 SiO_2 層 102 を堆積し、その上に多結晶シリコン層の島状領域 104 を形成する。多結晶シリコン層 104 の中央部分に、2 つのゲート電極構造が形成される。各ゲート電極構造は、半導体層 104 の上のゲート絶縁膜 106 とその上のゲート電極 108 を含む。

【0130】

2 つのゲート電極 108 a、108 b の中間領域には、L D D 領域は形成されず、高不純物濃度領域 124 b が形成される。2 つのゲート電極 108 a、108 b の両側領域には、ゲート電極に隣接して L D D 領域 114 a、114 b が形成され、その外側に高不純物濃度領域 124 n、124 n が形成される。

【0131】

2 つのゲート電極 108 a、108 b には同一電圧が印加され、その下の半導体層に高電界が印加されることはない。従って、この領域で電界緩和を行う必要は無く、L D D 領域を省略することができる。

【0132】

図 13 (B) は、図 13 (A) に示すダブルゲート型 T F T の平面構成例を示す。信号線 D L が縦方向に配置され、その一部領域上に重なって半導体層 104 が形成されている。半導体層 104 は、中央のストライプ状領域と両端の幅広領域を有する。半導体層 104 のストライプ状領域の上に、ゲート電極 108 a、108 b がゲート絶縁膜を介して配置される。これらのゲート電極は、走査線 G L に連続している。

【0133】

ゲート電極108a、108bの中間のストライプ状領域においては、ゲート電極に隣接してオフセット領域104fが形成され、1対のオフセット領域104f間の領域に高不純物濃度領域124bが形成されている。

【0134】

ゲート電極108aの左側領域においては、ゲート電極108aに隣接してオフセット領域104fが形成され、その左側にLDD領域114aが形成され、さらに左側には高不純物濃度領域124nが形成されている。

【0135】

ゲート電極108bの右側領域においては、ゲート電極108bに隣接してオフセット領域104fが配置され、その右側にLDD領域114bが形成され、さらにその右側に高不純物濃度領域124nが形成されている。

【0136】

この構成を、図7(D)の構成と比較すると、1対のゲート電極間の半導体領域にLDD領域が形成されず、代わりに高不純物濃度領域が形成されている点異なる。

【0137】

図13(C)は、平面構成の他の変形例を示す。本構成においては、半導体層が途中で折り曲げられた逆U字型形状を有する。ゲート電極108を兼用する走査線GLは、半導体層のストライプ状領域を2箇所を横断する。中間のストライプ状領域には、オフセット領域に隣接して高不純物濃度領域124bが形成され、LDD領域は形成されない。

【0138】

ゲート電極108よりも下側の半導体層104においては、ゲート電極に隣接してオフセット領域104fが形成され、その下側にLDD領域114a、114bが形成され、さらにその下側に高不純物濃度領域124nが形成されている。その他の点は、図7(C)に示すダブルゲート型TFETと同様である。

【0139】

TFETは、用いられる回路形式によってゲート電極、ソース電極、ドレイン電

極にそれぞれ印加される電圧が決まる。ソース電極とドレイン電極に異なる電圧が印加される場合も多い。このような場合、ゲート電極両側に対称的にLDD領域、高不純物濃度領域を形成する必要は無い。逆に、使用目的に応じ、非対称な構成とする方が特性上好ましい場合もある。

【0140】

図14(A)は、非対称構造を有するTFTの構成を示す。

【0141】

図14(A)において、絶縁表面を有する基板101の表面上に多結晶シリコン層104が形成され、その中央部上にゲート絶縁膜106、ゲート電極108が形成されている。ゲート電極108の左側領域においては、ゲート絶縁膜106端部に隣接して短いLDD領域114Sが形成され、それに隣接して高不純物ソース領域124Sが形成されている。

【0142】

ゲート電極108の右側領域においては、ゲート絶縁膜106端部に隣接して長いLDD領域114Lが形成され、それに隣接して高不純物ドレイン領域124Dが形成されている。

【0143】

ドレイン領域124Dとゲート電極108との間に高電圧が印加されても長いLDD領域114Lが電界を効果的に緩和する。ソース領域124Sとゲート電極108との間には余り高電圧は印加されないことを前提とする。なお、回路形式によっては、ソース側構造とドレイン側構造を入れ替えても良い。

【0144】

図14(B)は、2つのnチャネルTFTを直列に接続した回路構成を示す。2つのTFTは、直列に接続され、接地電位GNDと電源電圧VDDの間に接続される。VDD側TFTのゲート電極には信号Aが印加され、GND側TFTには信号Bが印加される。この回路構成の場合、VDD側TFTのドレイン側に長いLDD領域114Lを配置することが好ましい。

【0145】

図14(C)は、CMOSインバータ回路を示す。nチャネルTFTとpチャ

ネルTFTが直列に接続され、電圧VEEと電圧VDD間に接続されている。両TFTのゲート電極は共通の入力端子INに接続され、両TFTの接続ノードは出力端子OUTに接続されている。このような回路構成の場合、出力端子OUTに接続されたソース／ドレイン領域に長いLDD領域114Lを備える構成とすることが好ましい。

【0146】

図14(D)は、クロックインバータ回路を示す。nチャネルTFTとpチャネルTFTが直列に接続され、さらにnチャネルTFTとpチャネルTFTを介して電圧VEEと電圧VDD間に接続されている。中央のCMOS構成には、入力端子INが接続され、両TFTの接続ノードは出力端子OUTに接続されている。なお、CMOS回路の両側には、クロック信号を受けるnチャネルTFTとpチャネルTFTが接続されている。

【0147】

図14(C)と同様、CMOS回路の接続ノード側に長いLDD領域114Lを配置することが好ましい。

【0148】

図15(A)、(B)は、上述の実施例によるTFTを用いたサンプリング回路の構成を示す。

【0149】

図15(A)においては、一对の入力端子IN間にサンプリング容量C1が接続され、一对の出力端子OUT間にサンプリング容量C2が接続されている。サンプリング容量C1、C2の一方の電極は共通に接続され、他方の電極間には上述の実施例によるTFTが接続されている。上述の実施例によるTFTは、リーク電流が極めて小さいため、サンプリング信号の保持率を高くすることができる。

。

【0150】

図15(B)は、CMOS型TFTを用いたサンプリング回路の構成を示す。図15(A)のTFTに代え、pチャネルTFTとnチャネルTFTを並列配置したスイッチングトランジスタが接続されている。

【0151】

上述の実施例においては、トップゲート型TFTを形成し、ゲート電極をマスクとしイオン注入を行った。半導体層に直接または薄い絶縁膜のみを介して不純物イオンを注入し、LDD領域と高不純物濃度領域を共に低加速エネルギーのイオン注入で形成し、その後均一なレーザアニールにより不純物の活性化および損傷（欠陥）の回復を行うことは、ボトムゲート型TFTにおいても可能である。

【0152】

図16(A)～(C)、図17(D)～(F)は、ボトム型TFTの製造プロセスを示す。

【0153】

図16(A)に示すように、ガラス基板101上にCr等のゲート電極108を形成し、ゲート電極108を覆ってSiO₂膜等のゲート絶縁膜106を形成する。ゲート絶縁膜106上に多結晶シリコン層を成膜し、パターンニングして半導体層104を形成する。

【0154】

半導体層104を覆ってレジスト層を塗布し、基板下側からレジスト層を露光することにより、ゲート電極108に対して自己整合的にレジスト層を露光する。その後未露光のレジスト領域135を現像する。露光量を調整することにより、ゲート電極108端部から後退するレジストパターン135端部までの後退量L1を調整することができる。

【0155】

図16(B)に示すように、レジストパターン135をマスクとしてP⁺イオン113の低加速エネルギー、低ドーズ量のドーピングを行う。例えば、加速エネルギーは10～30keV、ドーズ量は $5 \times 10^{12} \text{ cm}^{-2}$ である。イオン注入後レジストパターン135は除去する。このようにして、LDD領域114が形成される。

【0156】

図16(C)に示すように、半導体層104を覆うように新たなレジスト膜を塗布し、基板下側から露光し、レジストパターン137を形成する。露光量を調整

することにより、ゲート電極 108 端部より後退する後退量 L2 を前回の後退量 L1 よりも小さな値に設定する。すなわち、レジストパターン 137 は、レジストパターン 135 よりも幅広に形成される。LDD 領域 114 の端部は、レジストパターン 137 により覆われる。

【0157】

図 17 (D) に示すように、レジストパターン 137 をマスクとし、低加速エネルギー、高ドーズ量のイオン注入を行なう。例えば、加速エネルギー 10～30 keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ で P⁺ イオン 117 をドーピングする。このようにして、高不純物濃度のソース／ドレイン領域 124 が形成される。その後レジストパターン 137 は除去する。

【0158】

図 17 (E) に示すように、イオン注入された半導体層を露出し、レーザ光 130 によるアニールを行なう。このアニール工程は、前述の活性化アニール工程と同様である。

【0159】

図 17 (F) に示すように、半導体層 104 を覆うように SiO₂、ポリイミド等の層間絶縁膜 140 を形成し、コンタクトホール 141 を開口する。コンタクトホール 141 により、ソース／ドレイン領域 124 の一部領域が露出する。その後、電極層 143 を形成し、パターニングすることによって配線を形成する。

【0160】

本実施例においても、イオン注入が半導体層に直接行なわれるため低加速エネルギーで行なえる。このため、半導体層やゲート絶縁膜に与える損傷を低減することができる。また、レーザアニールを半導体層表面に直接行なうため、均一な条件で良好なレーザアニールを行なうことができる。

【0161】

なお、半導体層表面に薄く酸化膜を形成しても同様の作用効果を期待することができる。

【0162】

上述の実施例においては、LDD 領域形成用と高不純物濃度領域形成用に 2 つ

のレジストパターンを作成した。

【0163】

図18(A)～(C)は、本発明の他の実施例によるボトムゲート型TFTの製造プロセスを示す。

【0164】

図18(A)に示すように、絶縁基板101の表面上にゲート電極108を形成し、その表面をゲート絶縁膜106で覆う。ゲート絶縁膜106の上に、多結晶シリコン層104を形成する。多結晶シリコン層104の上にレジスト膜を塗布し、露光現像することによりレジストパターン135を形成する。

【0165】

レジストパターン135をマスクとし、低加速エネルギー、高ドーズ量のイオン注入を行なう。例えば、加速エネルギー10～30keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ の P^+ イオン117のドーピングを行なう。

【0166】

図18(B)に示すように、低加速エネルギー、高ドーズ量のドーピングを終えた後、レジストパターン135を部分的にアッシングする。レジストパターン135はアッシングにより後退し、小さな寸法のレジストパターン135aに変化する。レジストパターンの後退により、イオン注入されなかった領域が幅 ΔL 分露出される。

【0167】

図18(C)に示すように、変形したレジストパターン135aをマスクとし、低加速エネルギー、低ドーズ量のイオン注入を行なう。例えば、加速エネルギー10～30keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ の P^+ イオン113のドーピングを行なう。このようにして、高不純物濃度領域124とレジストパターン135aの中間領域にLDD領域114が形成される。

【0168】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

【0 1 6 9】

【発明の効果】

以上説明したように、本発明によれば、薄膜トランジスタの特性を改良することが可能である。また、薄膜トランジスタの特性が経時的に変化することを防止することが可能になる。

【図面の簡単な説明】

【図 1】

本発明の基本実施例を説明するための断面図およびグラフである。

【図 2】

従来技術を説明するための T F T 構造の断面図である。

【図 3】

従来技術による T F T の特性を考察するためのグラフである。

【図 4】

本発明の実施例により作成する液晶表示装置の構成を示す等価回路図および平面図である。

【図 5】

本発明の実施例による T F T の製造プロセスを示す基板の断面図である。

【図 6】

本発明の実施例による T F T の製造プロセスを示す基板の断面図である。

【図 7】

本発明の実施例による液晶表示装置の画素部 T F T の平面構成を示す平面図である。

【図 8】

本発明の他の実施例による T F T の製造プロセスを示す基板の断面図である。

【図 9】

本発明の他の実施例による T F T の製造プロセスを示す基板の断面図である。

【図 1 0】

本発明のさらに他の実施例による T F T の製造プロセスを示す基板の断面図である。

【図 1 1】

本発明の他の実施例による T F T の製造プロセスを示す基板の断面図である。

【図 1 2】

本発明の他の実施例による T F T の製造プロセスを示す基板の断面図である。

【図 1 3】

ダブルゲート T F T の構成を示す断面図および平面図である。

【図 1 4】

非対称 T F T の構成を示す断面図およびそれを用いた回路の等価回路図である。

【図 1 5】

上述の実施例による T F T を用いたサンプリング回路の構成を示す等価回路図である。

【図 1 6】

本発明の他の実施例によるボトムゲート型 T F T の製造プロセスを示す基板の断面図である。

【図 1 7】

本発明の他の実施例によるボトムゲート型 T F T の製造プロセスを示す基板の断面図である。

【図 1 8】

本発明のさらに他の実施例によるボトムゲート型 T F T の製造プロセスを示す基板の断面図である。

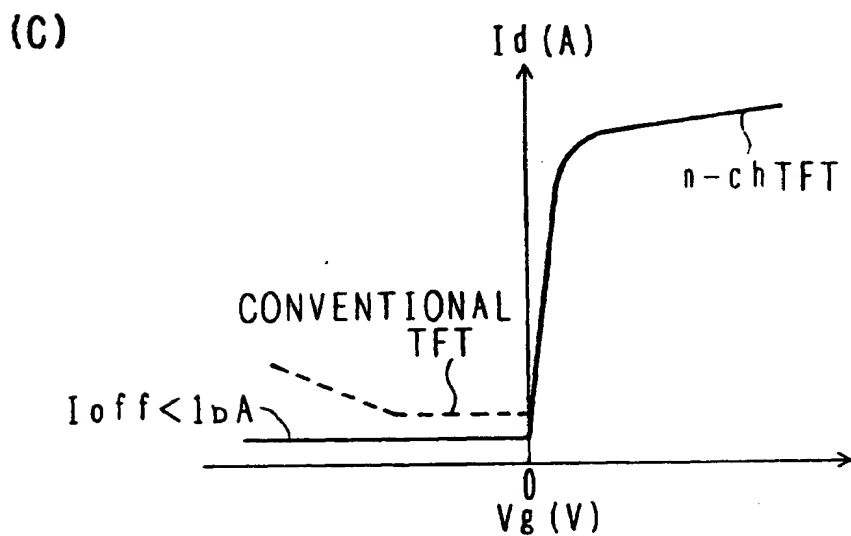
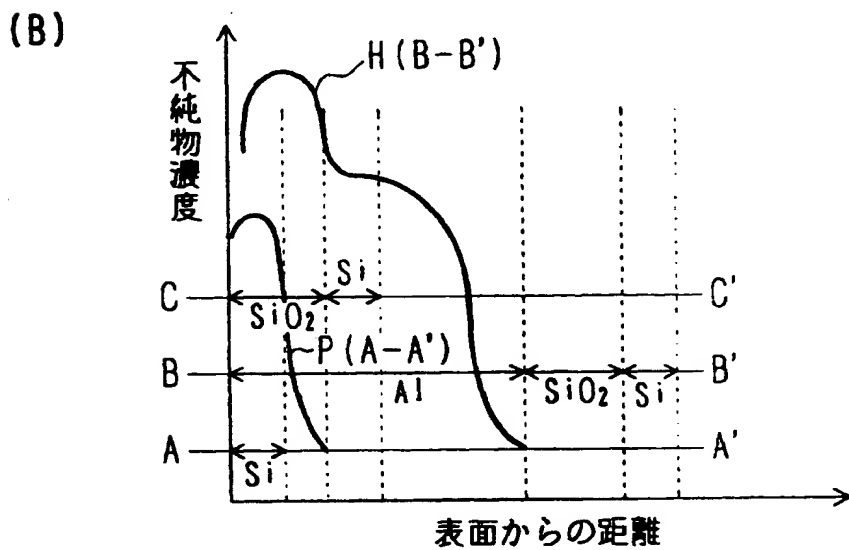
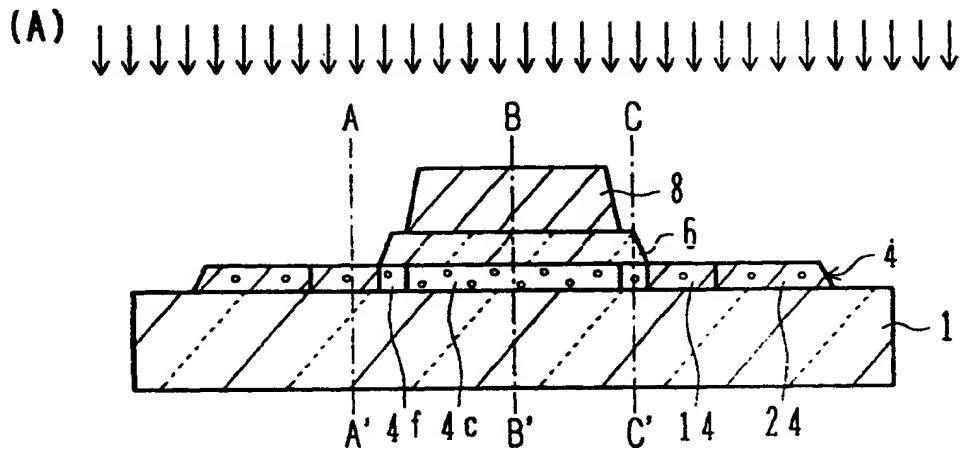
【符号の説明】

- 1 基板
- 4 半導体層
- 6 ゲート絶縁膜
- 8 ゲート電極
- 1 4 L D D 領域
- 2 4 高不純物濃度(ソース／ドレイン)領域
- 1 0 1 基板

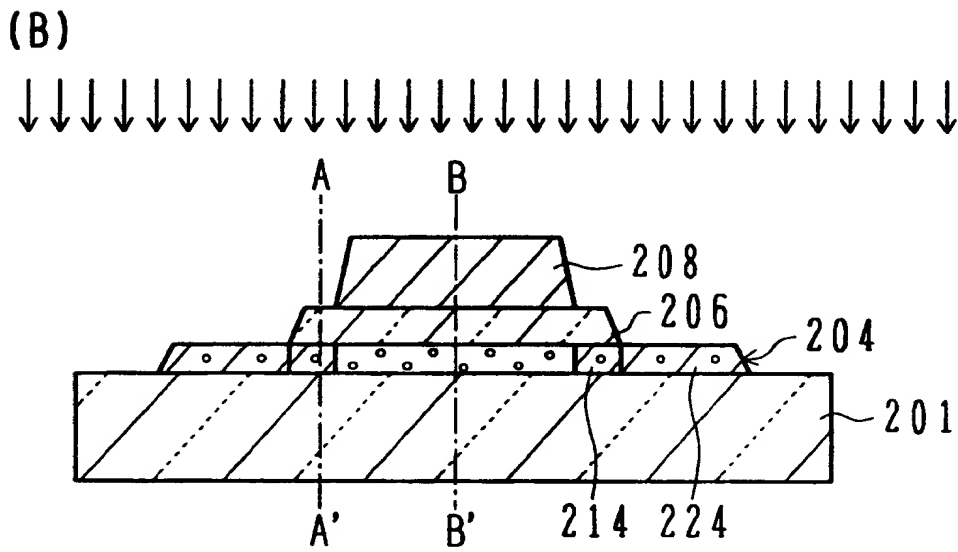
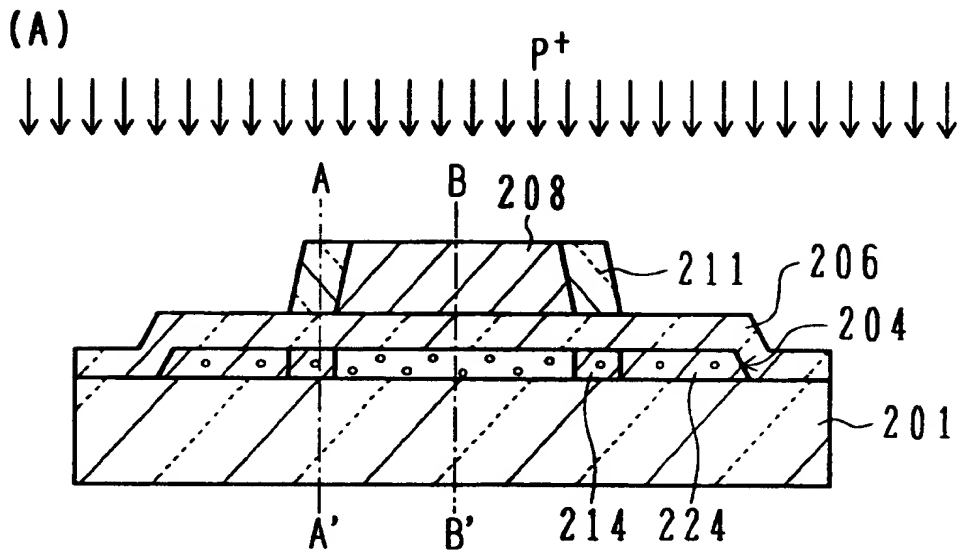
102 下地 SiO_2 層
104 多結晶シリコン層
104c チャンネル領域
104f オフセット領域
106 ゲート絶縁膜
108 ゲート電極
114 LDD 領域
124 高不純物濃度(ソース/ドレイン)領域
DL 信号線
GL 走査線

【書類名】 図面

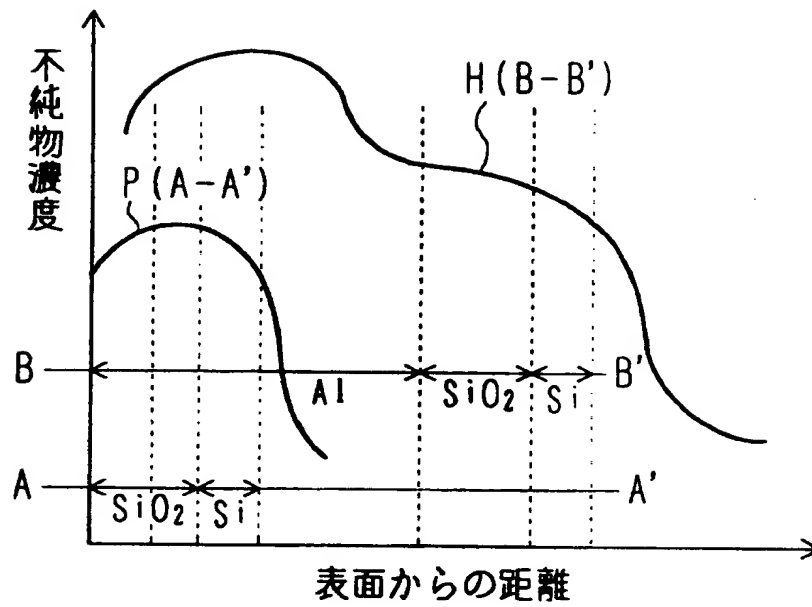
【図 1】



【図 2】

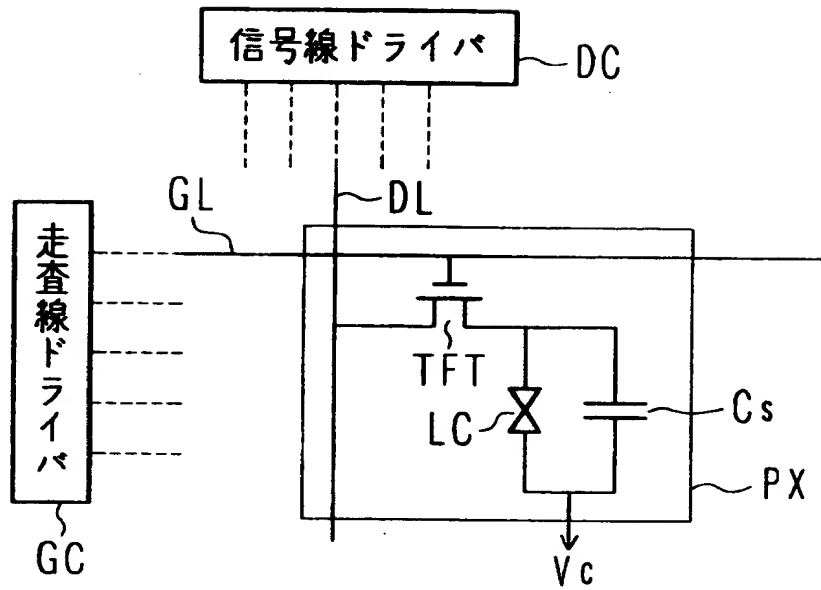


【図 3】

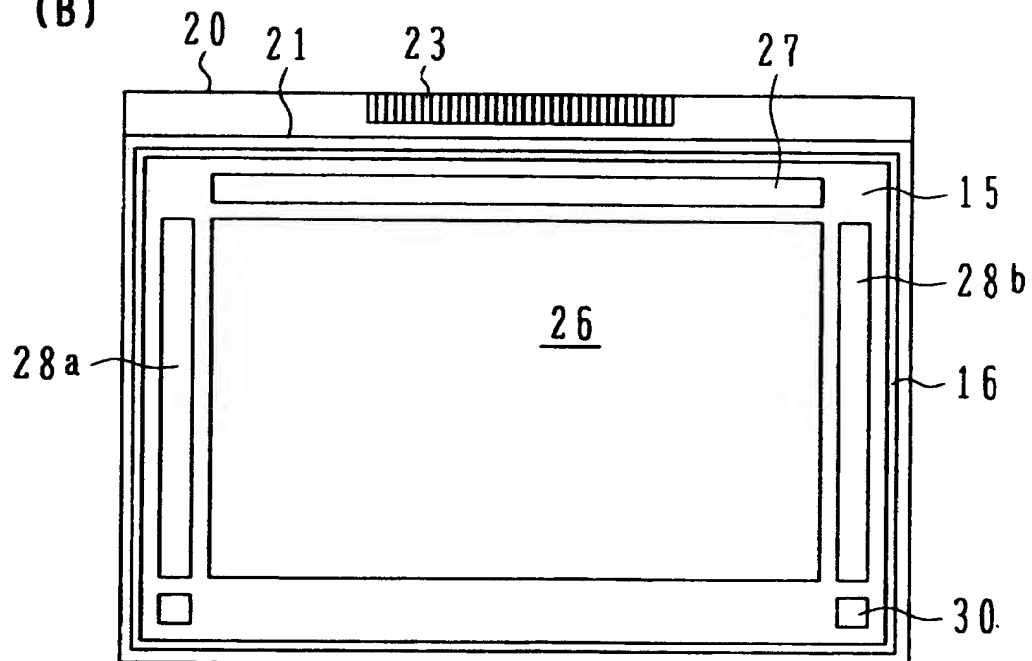


【図 4】

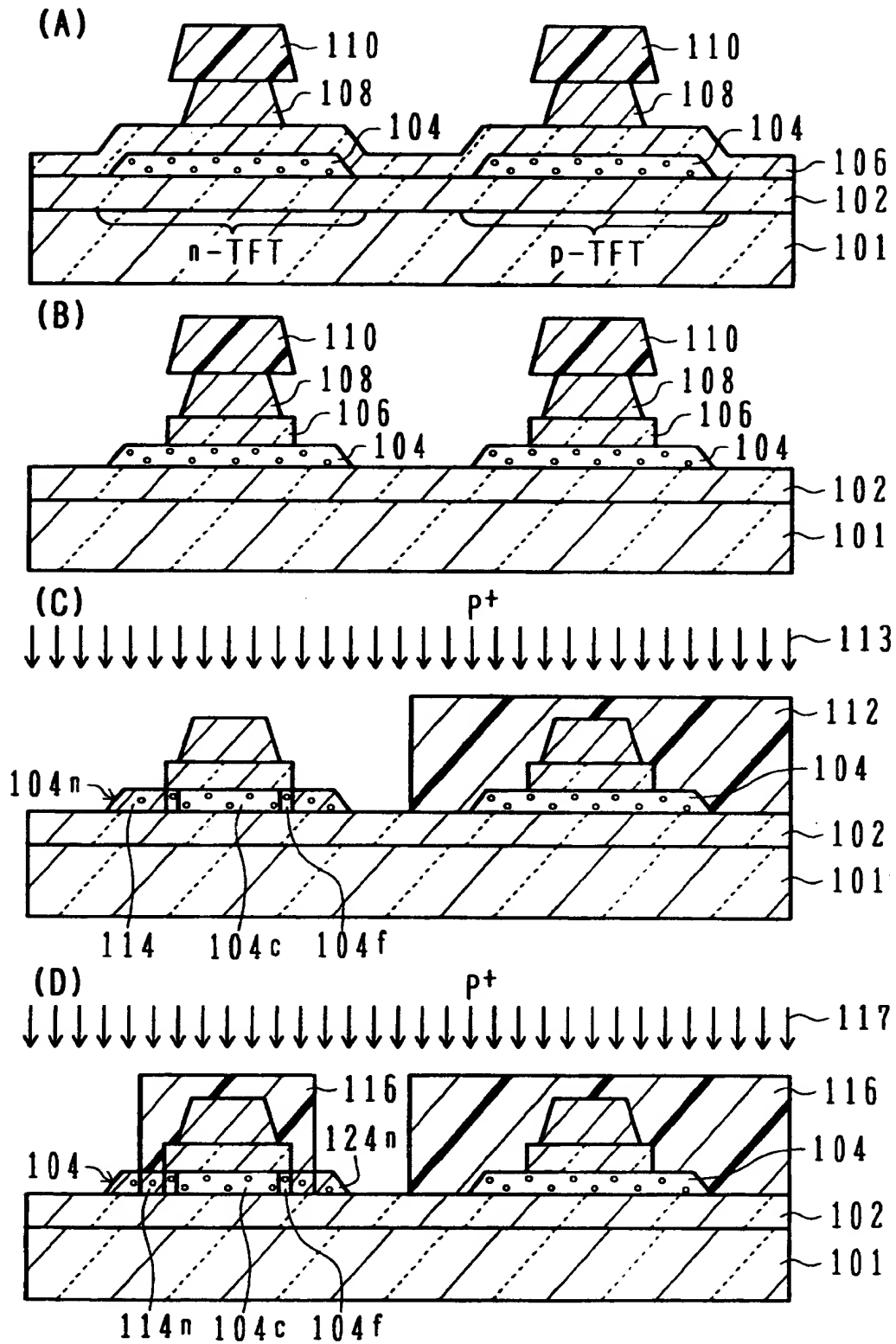
(A)



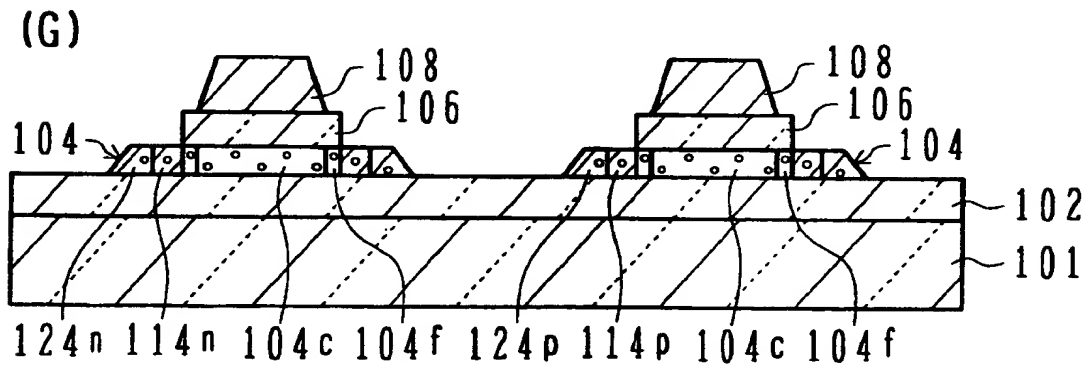
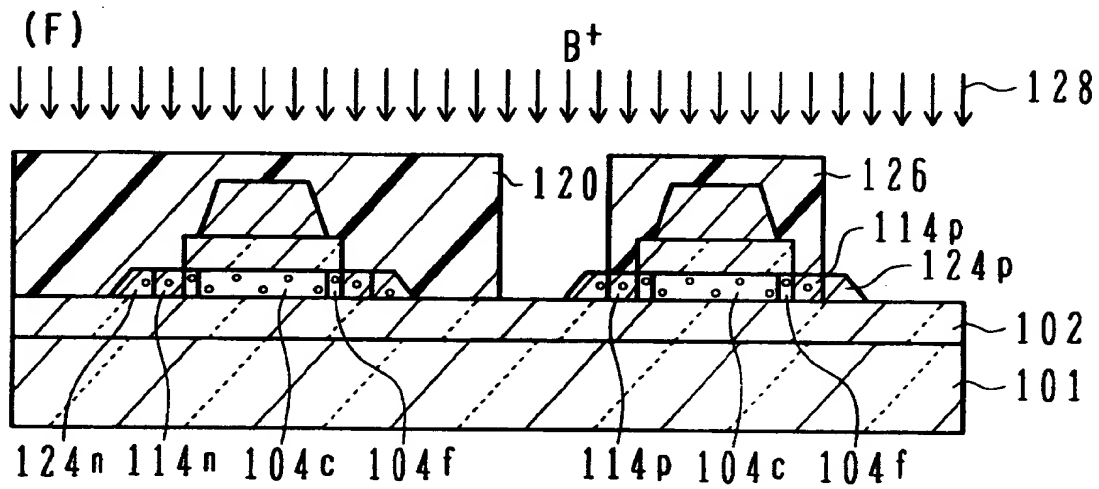
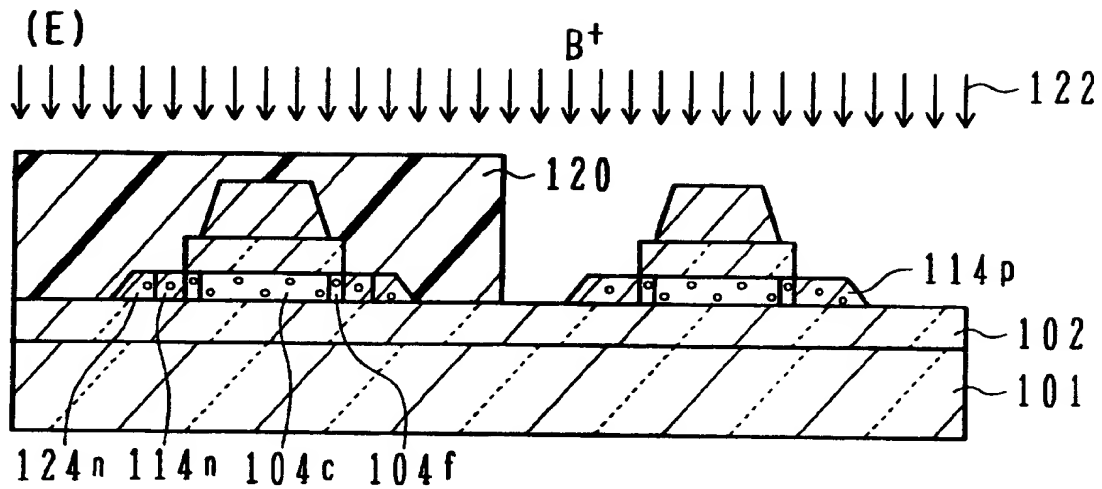
(B)



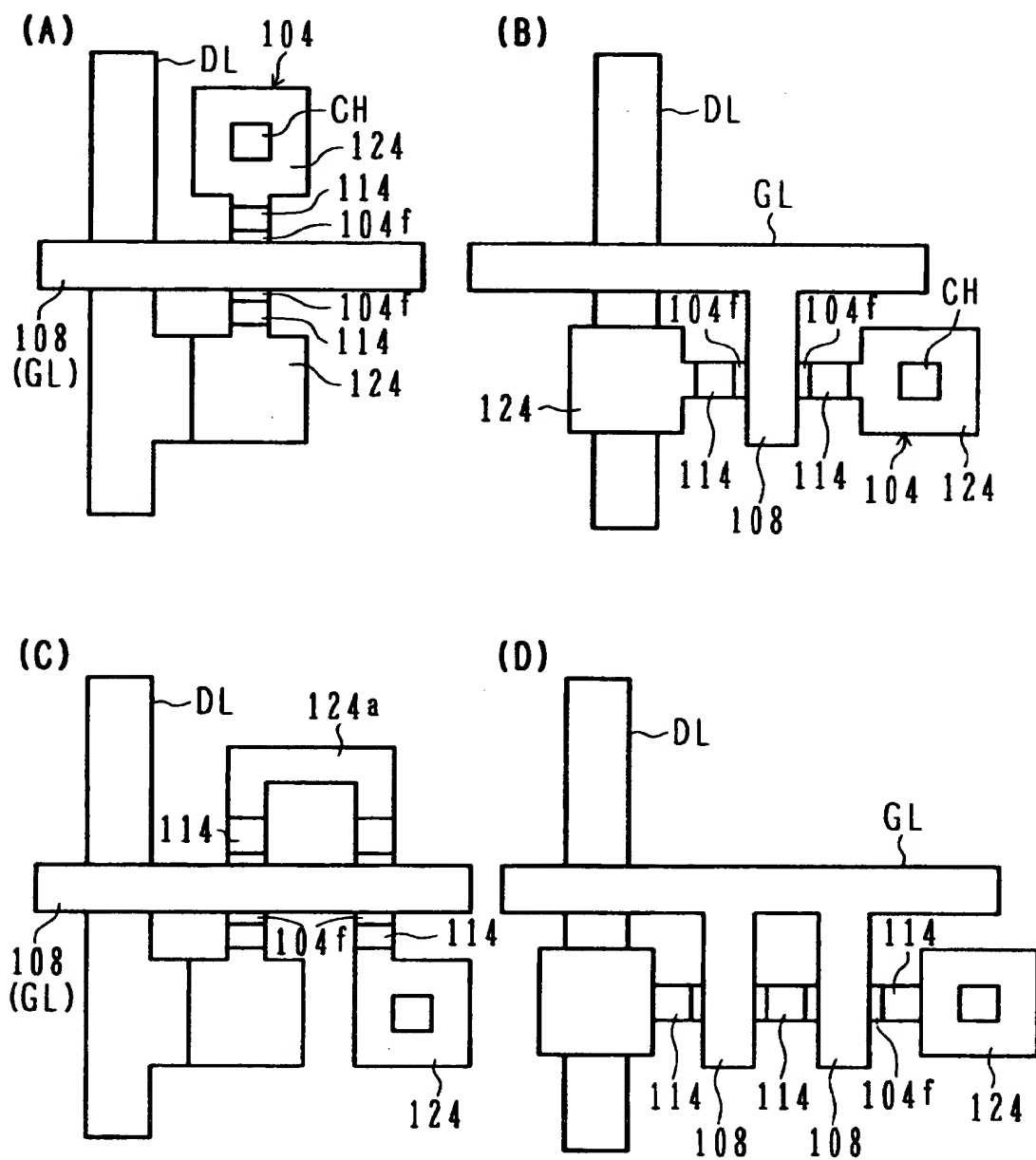
【図 5】



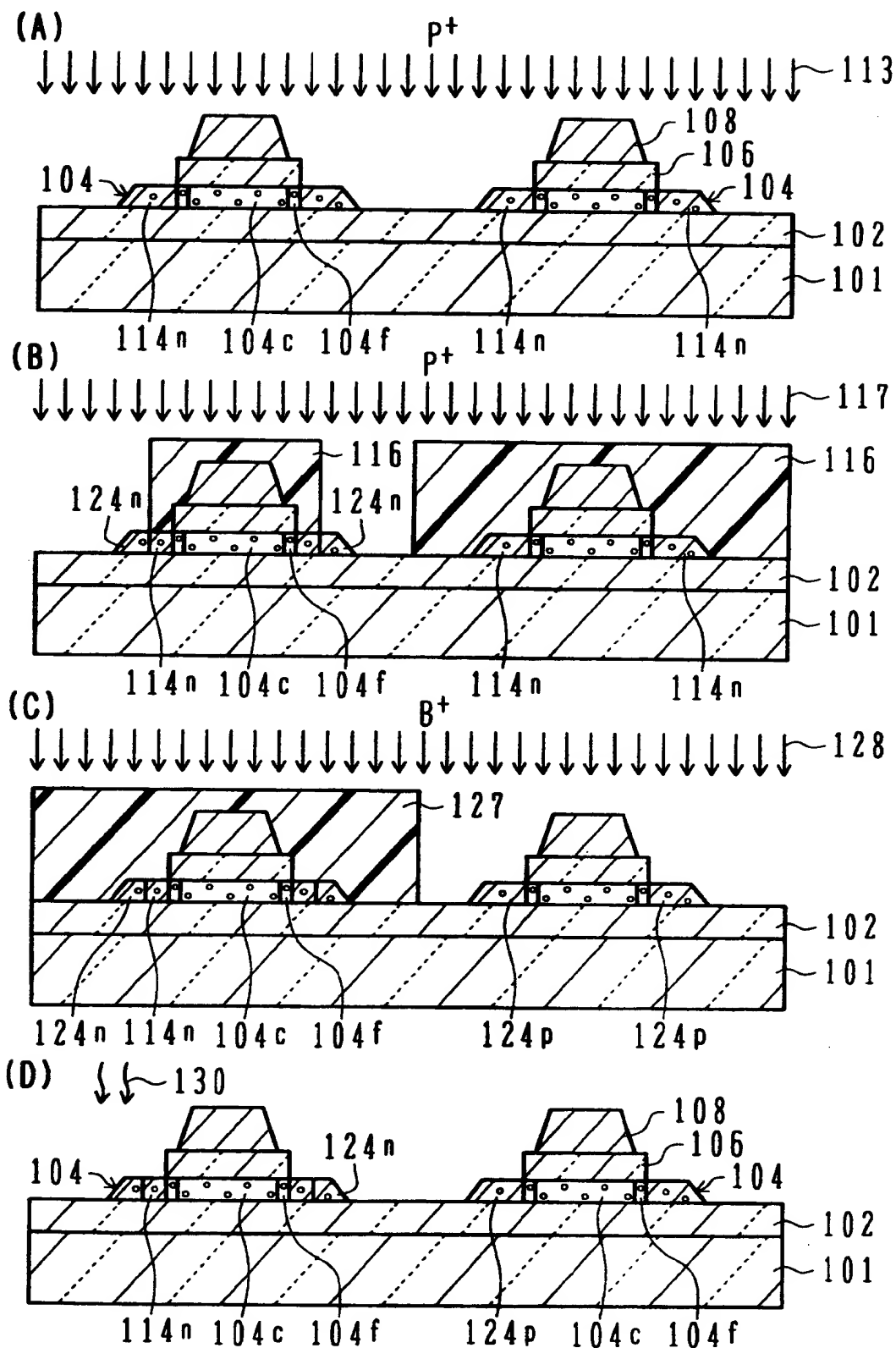
【図6】



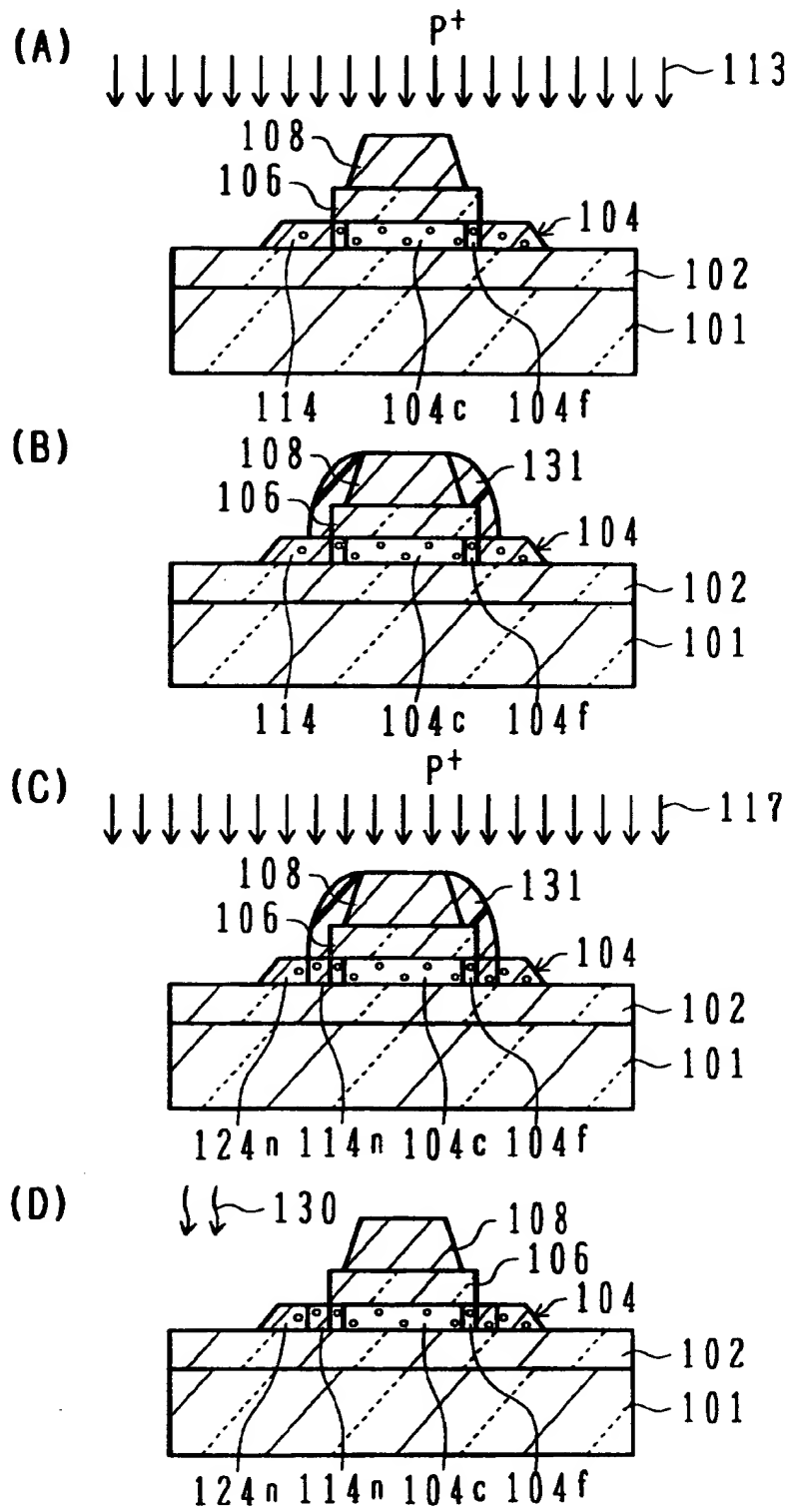
【図 7】



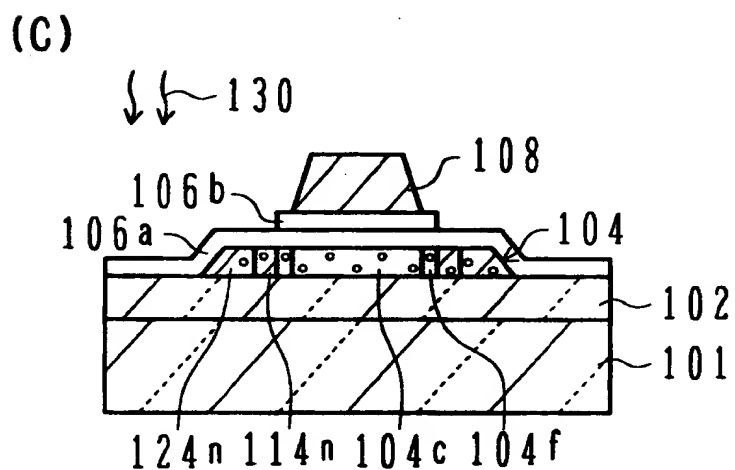
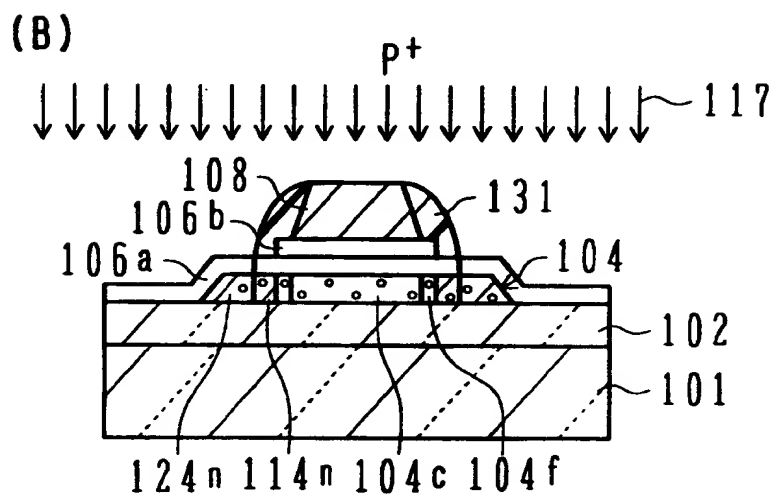
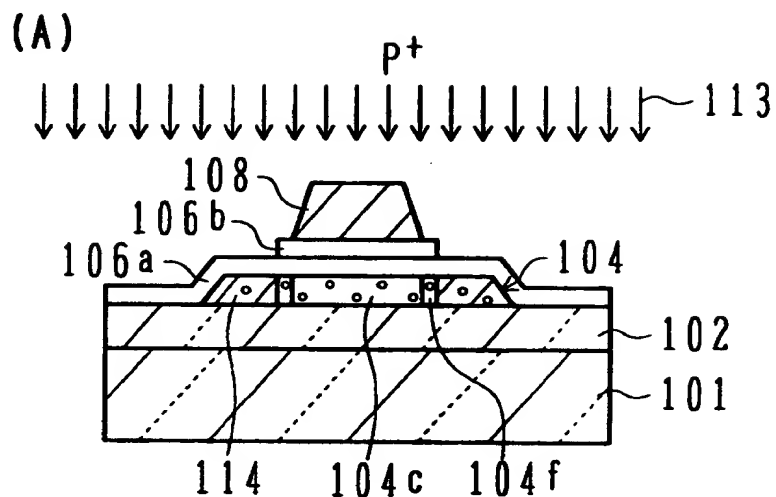
【図 8】



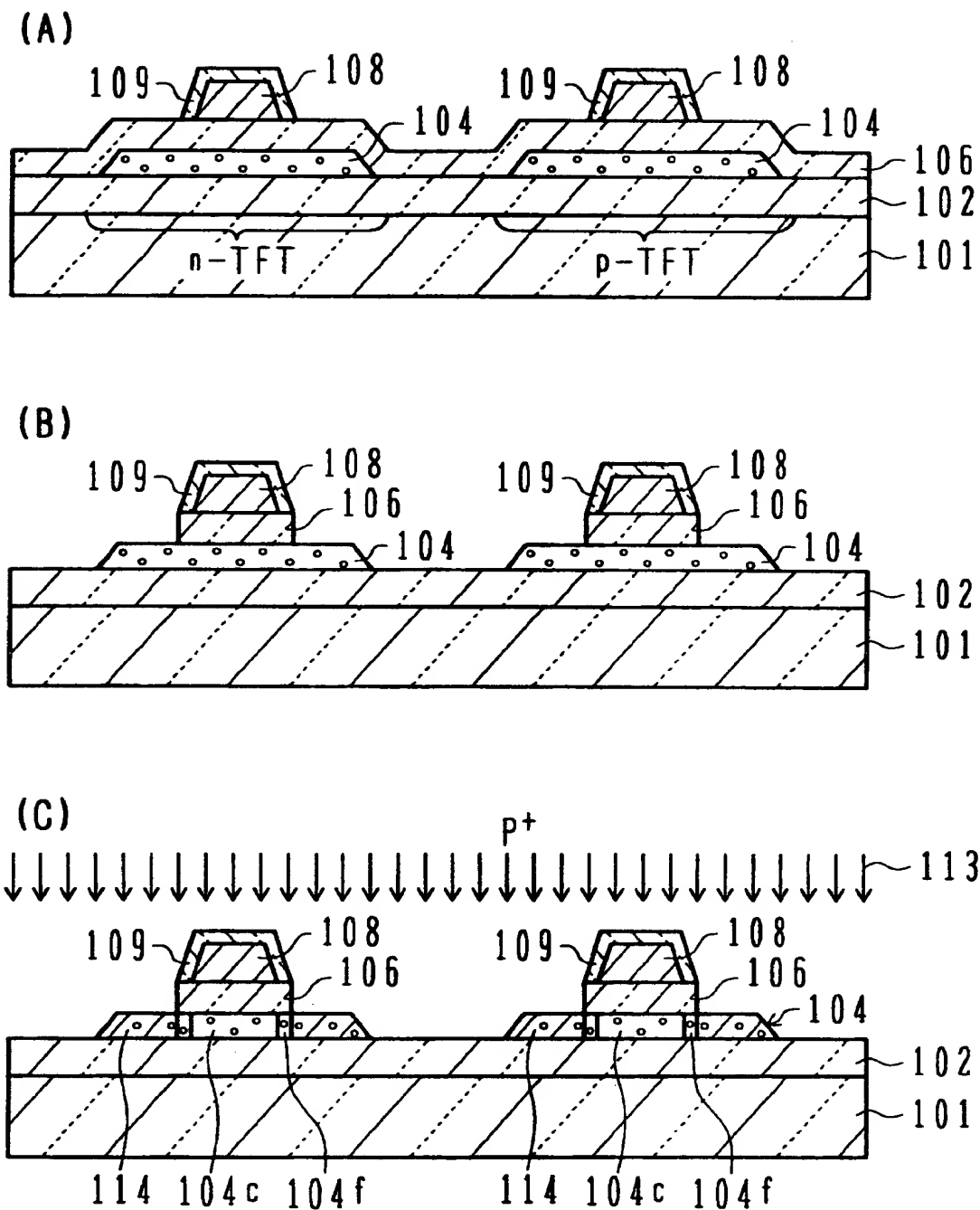
【図9】



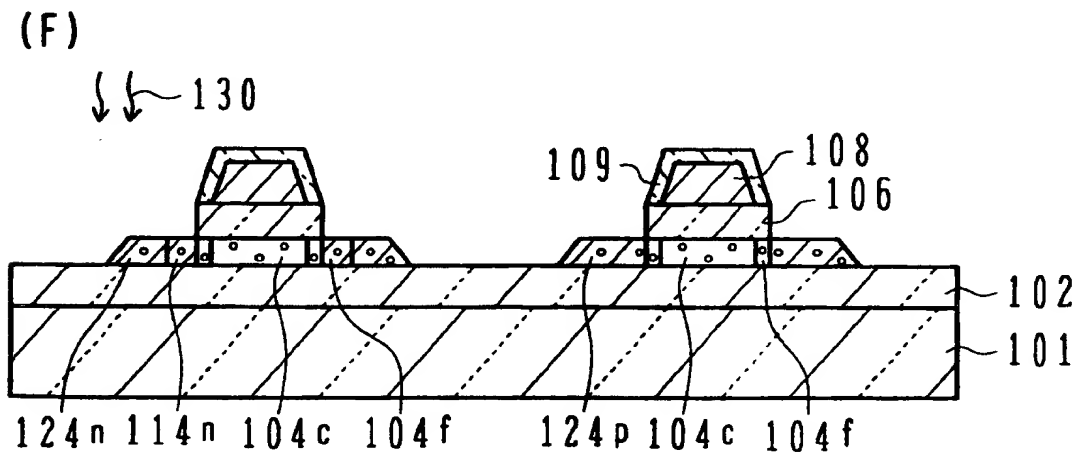
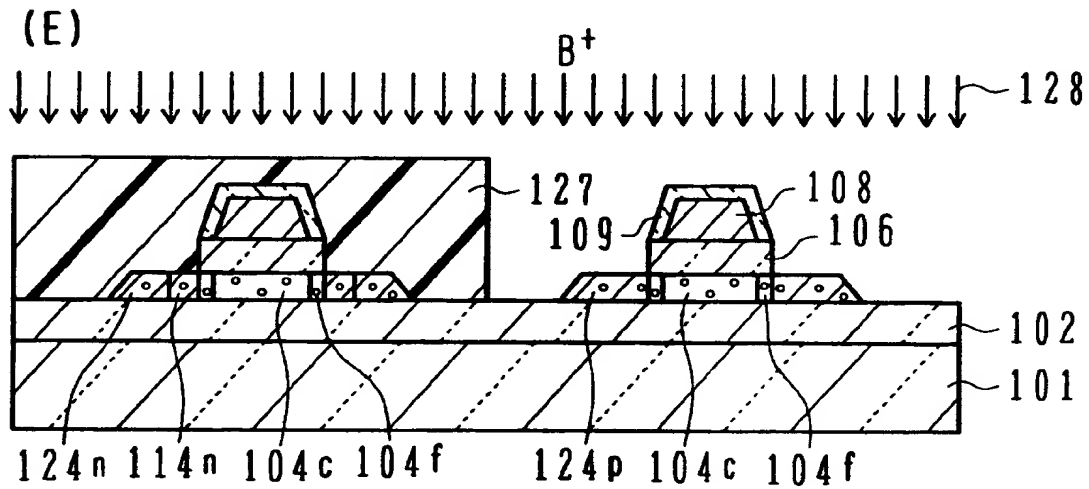
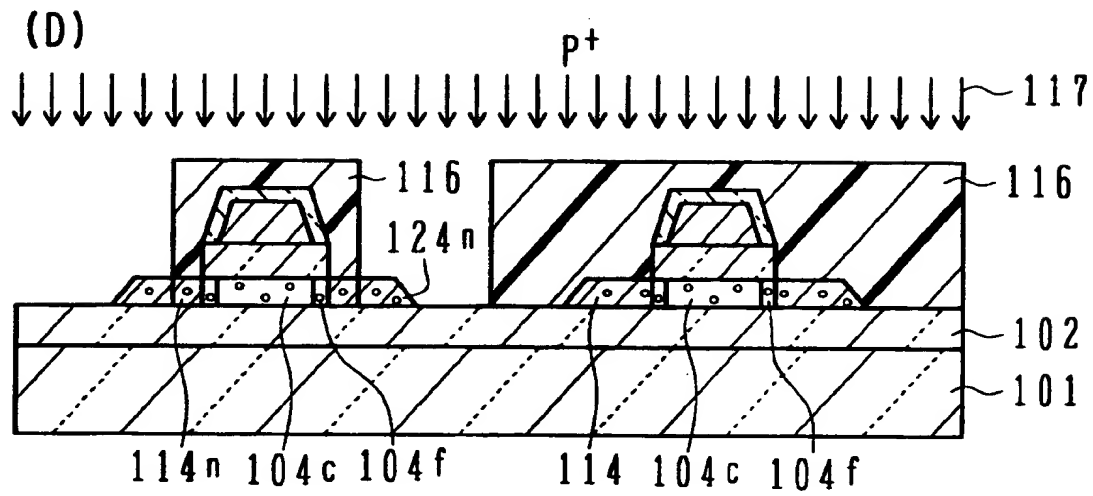
【図 10】



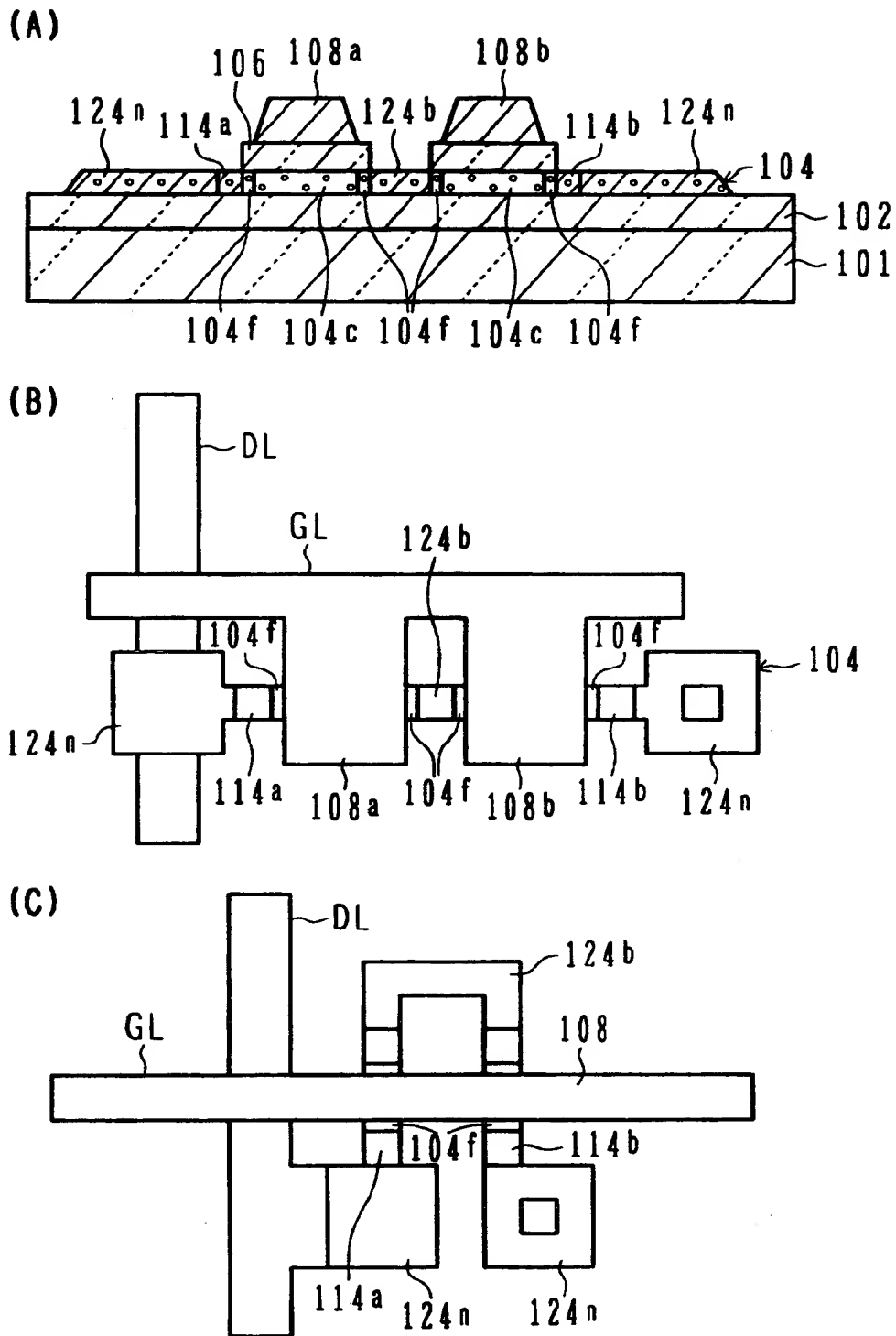
【図 1 1】



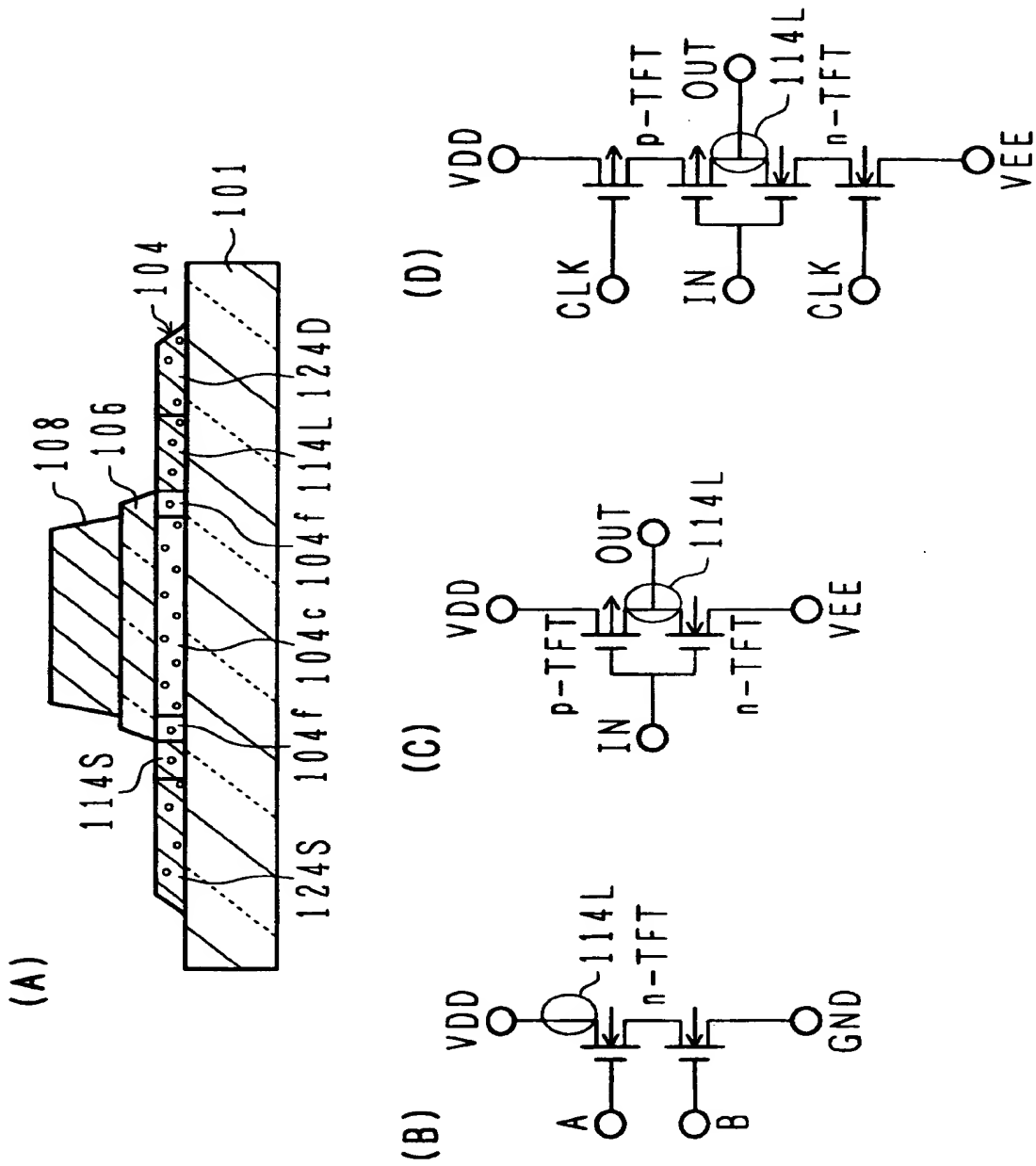
【図 12】



【図 13】

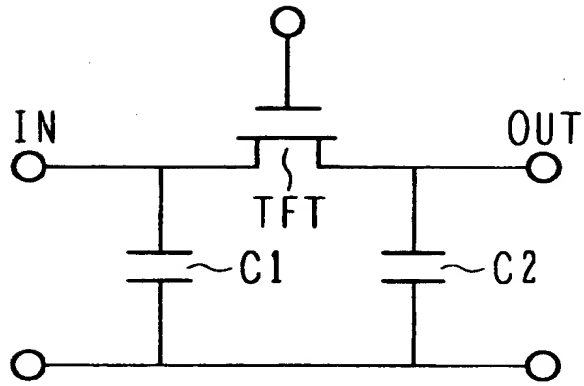


【図 14】

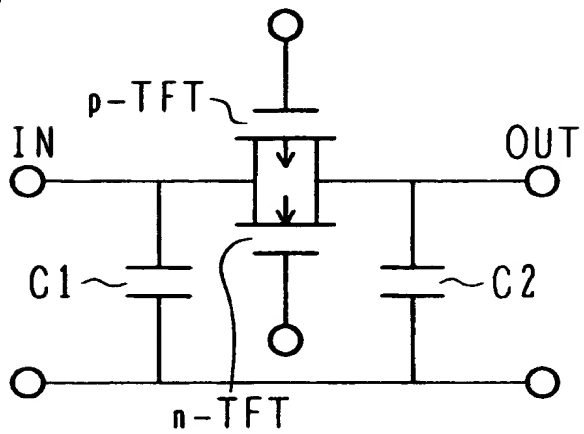


【図 1 5】

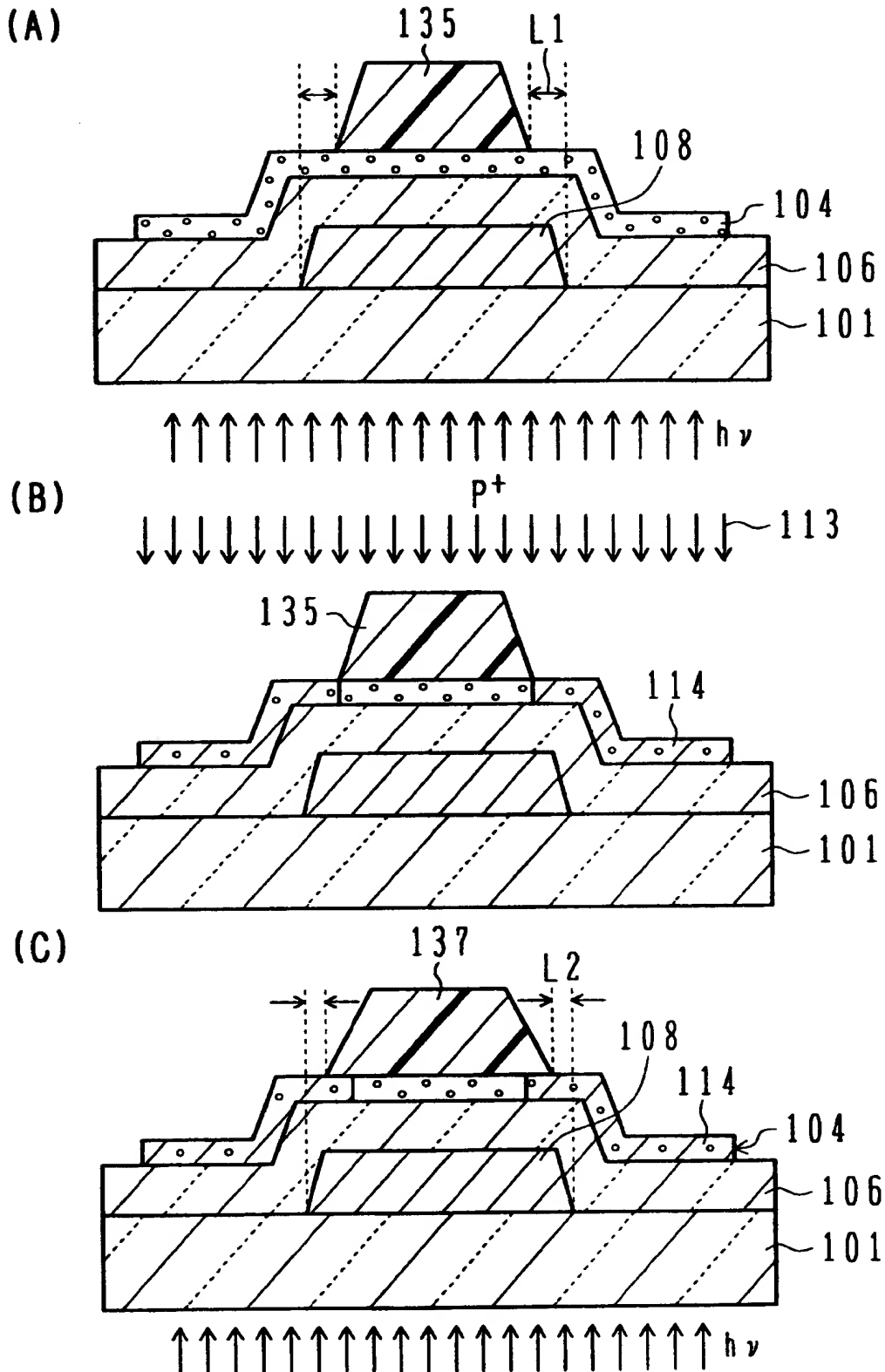
(A)



(B)

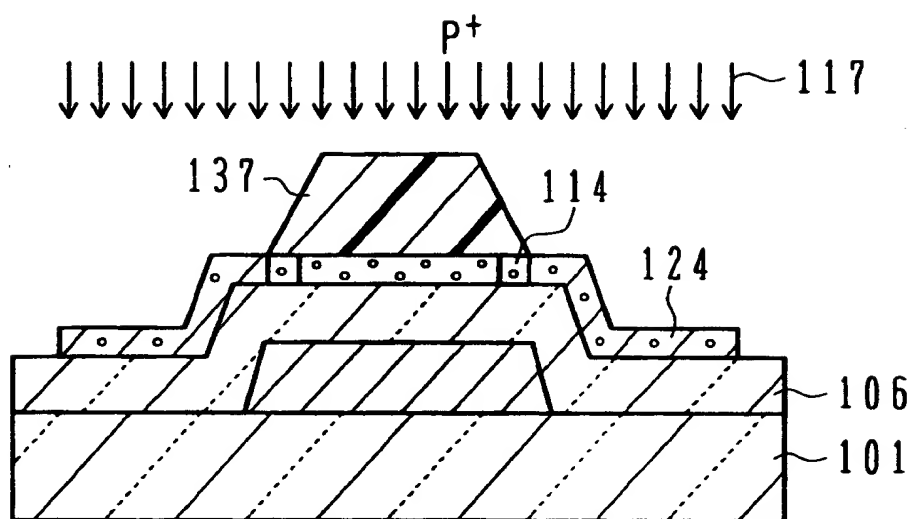


【図 16】

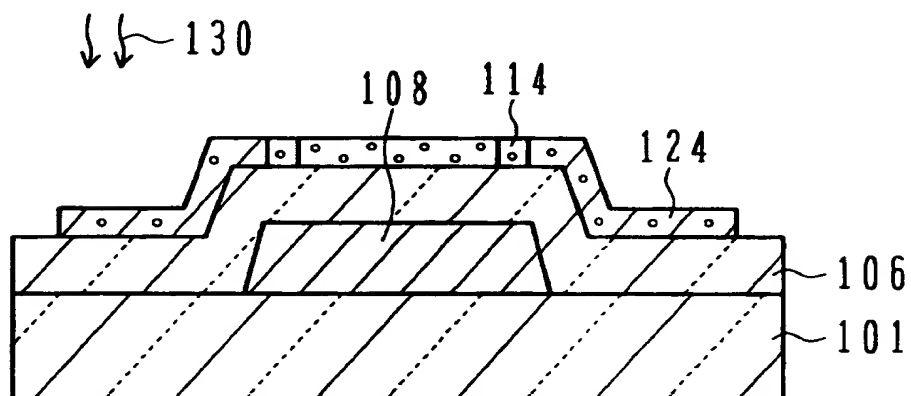


【図 17】

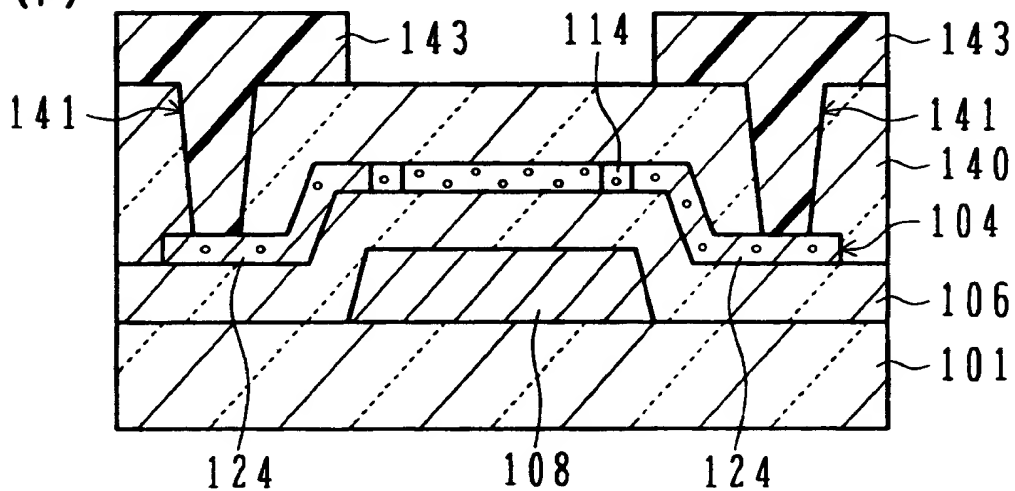
(D)



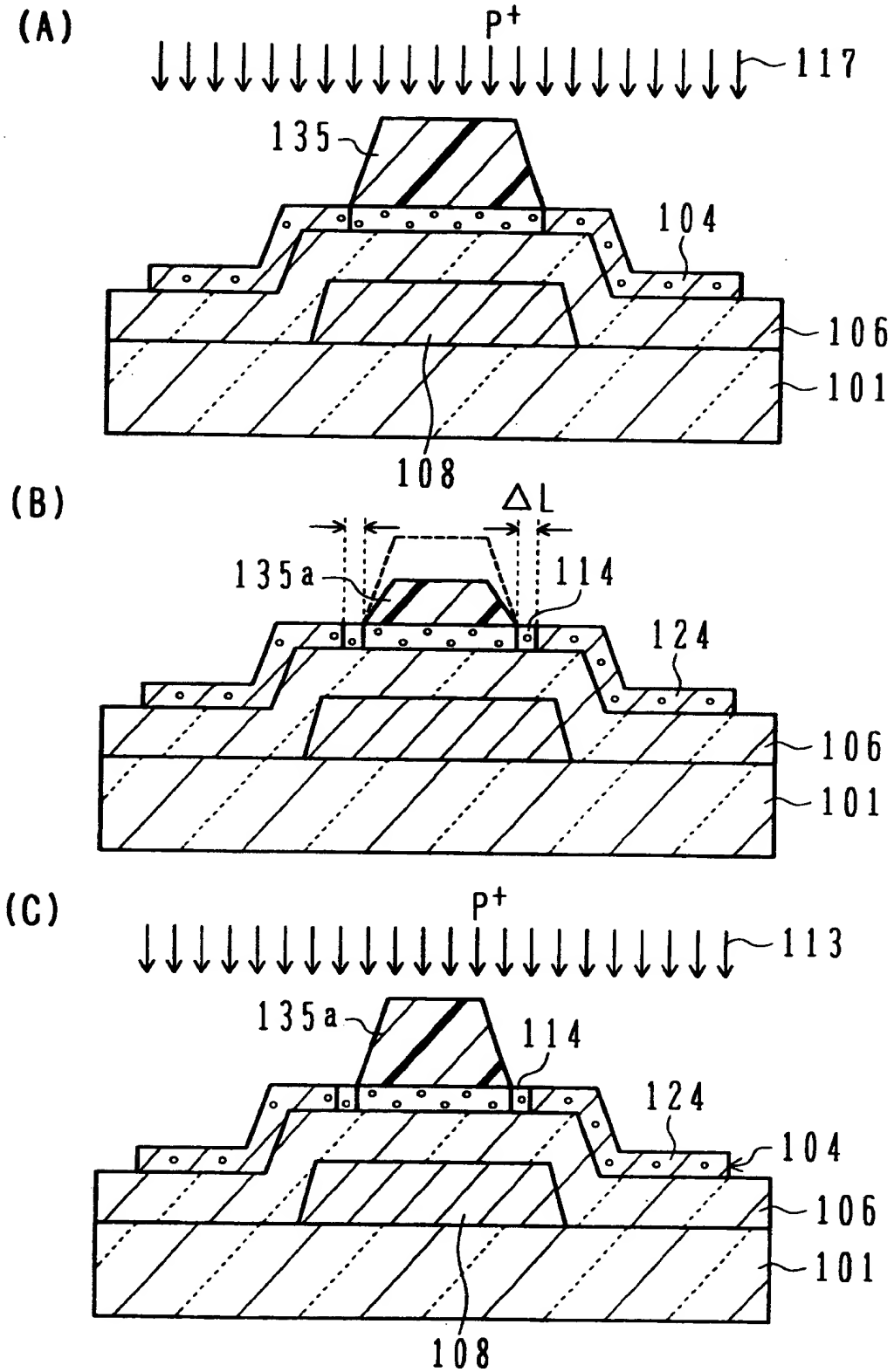
(E)



(F)



【図 18】



【書類名】 要約書

【要約】

【課題】 絶縁表面層を有する基板上に形成された薄膜トランジスタおよびその製造方法に関し、特性の優れた薄膜トランジスタを製造することのできる製造方法を提供する。

【解決手段】 (a) 絶縁表面層を有する基板上に複数のアイランド状の半導体層を形成する工程と、(b) 前記半導体層のチャネル領域となる領域の外側の第1領域に直接または厚さ50nm以下の絶縁薄膜を介してイオン注入により不純物を注入し、低不純物濃度領域を形成する工程と、(c) 前記半導体層の前記第1領域の外側部分に、直接または前記絶縁薄膜を介して非質量分離イオン注入により不純物を注入し、前記低不純物濃度より高濃度のソース／ドレイン領域を形成する工程と、を含む薄膜トランジスタの製造方法が提供される。

【選択図】 図5

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社